

(11)特許出願公開番号  
特開2002-221936  
(P2002-221936A)

(43)公開日 平成14年8月9日(2002.8.9)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7 K 5 C 0 8 0
G 0 9 F 9/30	3 3 8 3 6 5	G 0 9 F 9/30	3 3 8 5 C 0 9 4 3 6 5 Z 5 F 0 4 8
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 4 B 5 F 1 1 0
審査請求 未請求 請求項の数18 Q L (全 34 頁) 最終頁に続く			

(21) 出願番号	特願2001-316145(P2001-316145)
(22) 出願日	平成13年10月15日(2001. 10. 15)
(31) 優先権主張番号	特願2000-323543(P2000-323543)
(32) 優先日	平成12年10月24日(2000. 10. 24)
(33) 優先権主張国	日本(JP)
(31) 優先権主張番号	特願2000-358274(P2000-358274)
(32) 優先日	平成12年11月24日(2000. 11. 24)
(33) 優先権主張国	日本(JP)

(71)出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72)発明者 小山 潤  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

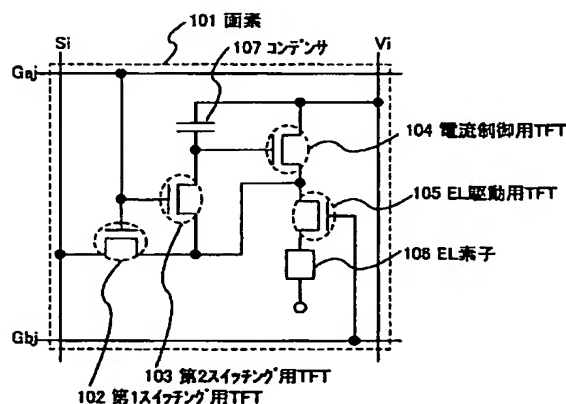
[最終頁に続く](#)

(54) 【発明の名称】 発光装置及びその駆動方法

(57) 【要約】

【課題】 温度変化に左右されずに一定の輝度を得ることが出来る表示装置の駆動方法を提供する。

【解決手段】 本発明者は、ＥＬ素子の輝度を電圧によって制御するのではなく、電流によって制御することで、温度によるＥＬ素子の輝度の変化を防ぐことができると考えた。具体的には、ＥＬ素子に流れる電流の大きさを制御するＴＦＴを飽和領域で動作させる。すると、該ＴＦＴの電流値  $I_{DS}$  は、 $V_{DS}$  によってほとんど変化せず、 $V_{GS}$  のみによって定まる。電流値  $I_{DS}$  が一定になるように  $V_{GS}$  の値を定めておけば、ＥＬ素子に流れる電流の大きさは一定になる。ＥＬ素子に流れる電流にほぼ正比例するので、温度によるＥＬ素子の輝度の変化を防ぐことができる。



【特許請求の範囲】

【請求項1】第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTと、EL素子と、ソース信号線と、電源供給線とが設けられた画素を複数有する発光装置であって、

前記第3のTFTと前記第4のTFTは、ゲート電極が接続されており、

前記第3のTFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記第1のTFTのドレイン領域に接続されており、

前記第4のTFTのソース領域とドレイン領域は、一方は前記第1のTFTのドレイン領域に、もう一方は前記第1のTFTのゲート電極に接続されており、

前記第1のTFTのソース領域は前記電源供給線に、ドレイン領域は前記第2のTFTのソース領域に接続されており、

前記第2のTFTのドレイン領域は、前記EL素子が有する2つの電極のうちのいずれか一方に接続されていることを特徴とする発光装置。

【請求項2】第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTと、EL素子と、ソース信号線と、第1のゲート信号線と、第2のゲート信号線と、電源供給線とが設けられた画素を複数有する発光装置であって、

前記第3のTFTと前記第4のTFTは、共にゲート電極が前記第1のゲート信号線に接続されており、

前記第3のTFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記第1のTFTのドレイン領域に接続されており、

前記第4のTFTのソース領域とドレイン領域は、一方は前記第1のTFTのドレイン領域に、もう一方は前記第1のTFTのゲート電極に接続されており、

前記第1のTFTのソース領域は前記電源供給線に、ドレイン領域は前記第2のTFTのソース領域に接続されており、

前記第2のTFTのドレイン領域は、前記EL素子が有する2つの電極のうちのいずれか一方に接続されており、

前記第2のTFTのゲート電極は前記第2のゲート信号線に接続されていることを特徴とする発光装置。

【請求項3】請求項1または請求項2において、前記第3のTFTと前記第4のTFTの極性が同じであることを特徴とする発光装置。

【請求項4】TFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、

前記TFTは飽和領域で動作しており、

第1の期間において、ビデオ信号によって前記TFTのチャネル形成領域に流れる電流の大きさが制御され、

前記電流によって前記TFTの $V_{GS}$ が制御され、

第2の期間において、前記TFTの $V_{GS}$ は保持されてお

り、かつ前記TFTを介して前記EL素子に所定の電流が流れることを特徴とする発光装置の駆動方法。

【請求項5】TFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、

前記TFTは飽和領域で動作しており、

第1の期間において、ビデオ信号によって前記TFTのチャネル形成領域に流れる電流の大きさが制御され、

前記電流によって前記TFTの $V_{GS}$ が制御され、

第2の期間において、前記 $V_{GS}$ によって前記TFTのチャネル形成領域に流れる電流が、前記EL素子に流れることを特徴とする発光装置の駆動方法。

【請求項6】第1のTFTと、第2のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、

前記第1のTFTは飽和領域で動作しており、

第1の期間において、ビデオ信号によって前記第1のTFTのチャネル形成領域に流れる電流の大きさが制御され、

前記電流によって前記第1のTFTの $V_{GS}$ が制御され、

第2の期間において、前記第1のTFTの $V_{GS}$ は保持されており、かつ前記第1のTFT及び前記第2のTFTを介して前記EL素子に所定の電流が流れることを特徴とする発光装置の駆動方法。

【請求項7】第1のTFTと、第2のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、

前記第1のTFTは飽和領域で動作しており、

第1の期間において、ビデオ信号によって前記第1のTFTのチャネル形成領域に流れる電流の大きさが制御され、

前記電流によって前記第1のTFTの $V_{GS}$ が制御され、

第2の期間において、前記 $V_{GS}$ によって前記第1のTFTのチャネル形成領域に流れる電流が、前記第2のTFTを介して前記EL素子に流れることを特徴とする発光装置の駆動方法。

【請求項8】TFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、

前記TFTは飽和領域で動作しており、

第1の期間において、ビデオ信号によって前記TFTのチャネル形成領域に流れる電流の大きさが制御され、

前記電流によって前記TFTの $V_{GS}$ が制御され、

第2の期間において、前記TFTの $V_{GS}$ は保持されており、かつ前記TFTを介して前記EL素子に所定の電流が流れ、

第3の期間において、前記EL素子に電流が流れないことを特徴とする発光装置の駆動方法。

【請求項9】TFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、

前記TFTは飽和領域で動作しており、

第1の期間において、ビデオ信号によって前記TFTの

チャネル形成領域に流れる電流の大きさが制御され、前記電流によって前記TFTの $V_{GS}$ が制御され、第2の期間において、前記 $V_{GS}$ によって前記TFTのチャネル形成領域に流れる電流が、前記EL素子に流れ、第3の期間において、前記EL素子に電流が流れないことを特徴とする発光装置の駆動方法。

【請求項10】第1のTFTと、第2のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、

前記第1のTFTは飽和領域で動作しており、第1の期間において、ビデオ信号によって前記第1のTFTのチャネル形成領域に流れる電流の大きさが制御され、

前記電流によって前記第1のTFTの $V_{GS}$ が制御され、第2の期間において、前記第1のTFTの $V_{GS}$ は保持されており、かつ前記第1のTFT及び前記第2のTFTを介して前記EL素子に所定の電流が流れ、第3の期間において、前記第2のTFTがオフになることを特徴とする発光装置の駆動方法。

【請求項11】第1のTFTと、第2のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、

前記第1のTFTは飽和領域で動作しており、第1の期間において、ビデオ信号によって前記第1のTFTのチャネル形成領域に流れる電流の大きさが制御され、

前記電流によって前記第1のTFTの $V_{GS}$ が制御され、第2の期間において、前記 $V_{GS}$ によって前記第1のTFTのチャネル形成領域に流れる電流が、前記第2のTFTを介して前記EL素子に流れ、第3の期間において、前記第2のTFTがオフになることを特徴とする発光装置の駆動方法。

【請求項12】第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、第1の期間において、前記第3のTFTと前記第4のTFTとによって、前記第1のTFTのゲート電極とドレイン領域とが接続され、かつ、ビデオ信号によって前記第1のTFTのチャネル形成領域に流れる電流の大きさが制御され、

前記電流によって前記第1のTFTの $V_{GS}$ が制御され、第2の期間において、前記第1のTFTの $V_{GS}$ は保持され、かつ前記第1のTFT及び第2のTFTを介して前記EL素子に所定の電流が流れることを特徴とする発光装置の駆動方法。

【請求項13】第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、第1の期間において、前記第3のTFTと前記第4のTFTとによって、前記第1のTFTのゲート電極とドレ

イン領域とが接続され、かつ、ビデオ信号によって前記第1のTFTのチャネル形成領域に流れる電流の大きさが制御され、

前記電流によって前記第1のTFTの $V_{GS}$ が制御され、第2の期間において、前記 $V_{GS}$ によって前記第1のTFTのチャネル形成領域に流れる電流が、前記第2のTFTを介して前記EL素子に流れることを特徴とする発光装置の駆動方法。

【請求項14】第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、前記第1のTFTのソース領域には一定の電位が与えられており、

第1の期間において、前記第3のTFTと前記第4のTFTを介して、前記第1のTFTのゲート電極とドレイン領域にビデオ信号が入力され、

第2の期間において、前記ビデオ信号の電位によって、前記第1のTFT及び前記第2のTFTを介して前記EL素子に所定の電流が流れることを特徴とする発光装置の駆動方法。

【請求項15】第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、第1の期間において、前記第3のTFTと前記第4のTFTとによって、前記第1のTFTのゲート電極とドレイン領域とが接続され、かつ、ビデオ信号によって前記第1のTFTのチャネル形成領域に流れる電流の大きさが制御され、

前記電流によって前記第1のTFTの $V_{GS}$ が制御され、第2の期間において、前記第1のTFTの $V_{GS}$ は保持され、かつ前記第1のTFT及び第2のTFTを介して前記EL素子に所定の電流が流れ、第3の期間において、前記第2のTFTがオフになることを特徴とする発光装置の駆動方法。

【請求項16】第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、第1の期間において、前記第3のTFTと前記第4のTFTとによって、前記第1のTFTのゲート電極とドレイン領域とが接続され、かつ、ビデオ信号によって前記第1のTFTのチャネル形成領域に流れる電流の大きさが制御され、

前記電流によって前記第1のTFTの $V_{GS}$ が制御され、第2の期間において、前記 $V_{GS}$ によって前記第1のTFTのチャネル形成領域に流れる電流が、前記第2のTFTを介して前記EL素子に流れ、第3の期間において、前記第2のTFTがオフになることを特徴とする発光装置の駆動方法。

【請求項17】第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTと、EL素子とが設けられた

画素を複数有する発光装置の駆動方法であって、前記第1のTFTのソース領域には一定の電位が与えられており、

第1の期間において、前記第3のTFTと前記第4のTFTを介して、前記第1のTFTのゲート電極とドレイン領域にビデオ信号が入力され、

第2の期間において、前記ビデオ信号の電位によって、前記第1のTFT及び前記第2のTFTを介して前記EL素子に所定の電流が流れ、

第3の期間において、前記第2のTFTがオフになることを特徴とする発光装置の駆動方法。

【請求項18】請求項12乃至請求項17のいずれか1項において、前記第3のTFTと前記第4のTFTの極性が同じであることを特徴とする発光装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板上に形成されたEL素子を、該基板とカバー材の間に封入したELパネルと、その駆動方法に関する。また、該ELパネルにICを実装したELモジュールと、その駆動方法に関する。なお本明細書において、ELパネル及びELモジュールを発光装置と総称する。本発明はさらに、該駆動方法によって表示を行う発光装置を用いた電子機器に関する。

【0002】

【従来の技術】EL素子は、自ら発光するため視認性が高く、液晶ディスプレイ(LCD)で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため、近年、EL素子を用いた発光装置はCRTやLCDに代わる表示装置として注目されている。

【0003】EL素子は、電場を加えることで発生するルミネッセンス(Electro Luminescence)が得られる有機化合物を含む層(以下、EL層と記す)と、陽極と、陰極とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とがあるが、本発明の発光装置では、どちらの発光を用いても良い。

【0004】なお、本明細書では、陽極と陰極の間に設けられた全ての層をEL層と定義する。EL層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にEL素子は、陽極/発光層/陰極が順に積層された構造を有しており、この構造に加えて、陽極/正孔注入層/発光層/陰極や、陽極/正孔注入層/発光層/電子輸送層/陰極等の順に積層した構造を有していることもある。

【0005】また本明細書において、EL素子が発光することを、EL素子が駆動すると呼ぶ。また、本明細書中では、陽極、EL層及び陰極で形成される発光素子を

EL素子と呼ぶ。

【0006】ところで、EL素子を有する発光装置の駆動方法には、主にアナログ駆動とデジタル駆動とがある。特にデジタル駆動は、放送電波のデジタル化に対応して、画像情報を有するデジタルのビデオ信号(デジタルビデオ信号)を、アナログに変換せずにそのまま用いて画像を表示することが可能なため、有望視されている。

【0007】デジタルビデオ信号が有する2値の電圧により階調表示を行う方法として、面積分割駆動法と、時間分割駆動法とが挙げられる。

【0008】面積分割駆動法とは、1画素を複数の副画素に分割し、各副画素を独立にデジタルビデオ信号に基づいて駆動することによって、階調表示を行う駆動法である。この面積分割駆動法は、1画素が複数の副画素に分割されていなければならない、さらに各副画素を独立して駆動するために、各副画素にそれぞれ対応する画素電極を設ける必要がある。そのために画素の構造が複雑になるという不都合が生じる。

【0009】一方、時間分割駆動法とは、画素の点灯する長さを制御することで階調表示を行う駆動法である。具体的には、1フレーム期間を複数のサブフレーム期間に分割する。そして、各サブフレーム期間において、デジタルビデオ信号により各画素が点灯するかしないかが選択される。1フレーム期間中に出現する全てのサブフレーム期間の内、画素が点灯したサブフレーム期間の長さを積算することで、該画素の階調が求められる。

【0010】一般的に、有機EL材料は液晶などに比べて応答速度が速いため、EL素子は時間分割駆動に適している。

【0011】

【発明が解決しようとする課題】以下に、時間分割駆動で駆動する一般的な発光装置の画素の構成について、図25を用いて説明する。

【0012】図25に、一般的な発光装置の画素9004の回路図を示す。画素9004は、ソース信号線9005の1つと、電源供給線9006の1つと、ゲート信号線9007の1つとを有している。また画素9004はスイッチング用TFT9008とEL駆動用TFT9009とを有している。スイッチング用TFT9008のゲート電極は、ゲート信号線9007に接続されている。スイッチング用TFT9008のソース領域とドレイン領域は、一方がソース信号線9005に、もう一方がEL駆動用TFT9009のゲート電極及び各画素が有するコンデンサ9010にそれぞれ接続されている。

【0013】コンデンサ9010はスイッチング用TFT9008が非選択状態(オフ状態)にある時、EL駆動用TFT9009のゲート電圧(ゲート電極とソース領域間の電位差)を保持するために設けられている。

【0014】また、EL駆動用TFT9009のソース



領域は電源供給線9006に接続され、ドレイン領域はEL素子9011に接続される。電源供給線9006はコンデンサ9010に接続されている。

【0015】EL素子9011は陽極と陰極と、陽極と陰極との間に設けられたEL層とからなる。陽極がEL駆動用TFT9009のドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極がEL駆動用TFT9009のドレイン領域と接続している場合、陰極が画素電極、陽極が対向電極となる。

【0016】EL素子9011の対向電極には対向電位が与えられている。また電源供給線9006には電源電位が与えられている。電源電位と対向電位は、表示装置の外付けのICに設けられた電源によって与えられる。

【0017】次に、図25に示した画素の動作について説明する。

【0018】ゲート信号線9007に入力された選択信号によって、スイッチング用TFT9008がオンの状態になり、ソース信号線9005に入力された画像情報を有するデジタル信号（以下、デジタルビデオ信号と呼ぶ）が、スイッチング用TFT9008を介してEL駆動用TFT9009のゲート電極に入力される。

【0019】EL駆動用TFT9009のゲート電極に入力されたデジタルビデオ信号が有する、1または0の情報によって、EL駆動用TFT9009のスイッチングが制御される。

【0020】EL駆動用TFT9009がオフになる場合、電源供給線9006の電位がEL素子9011の有する画素電極に与えられないので、EL素子9011は発光しない。またEL駆動用TFT9009がオンになる場合、電源供給線9006の電位がEL素子9011の有する画素電極に与えられ、EL素子9011が発光する。

【0021】各画素において上記動作が行われることで画像が表示される。

【0022】しかし上記動作により表示を行う発光装置では、外気温やELパネル自身が発する熱等によりEL素子が有するEL層の温度が変化すると、その温度変化に伴いEL素子の輝度も変化する。図26に、EL層の温度を変化させたときの、EL素子の電圧電流特性の変化を示す。EL層の温度が低くなるとEL素子に流れる電流が小さくなる。逆に、EL層の温度が高くなるとEL素子に流れる電流は大きくなる。

【0023】EL素子に流れる電流が小さければ小さいほど、EL素子の輝度は低くなる。またEL素子に流れる電流が大きければ大きいほど、EL素子の輝度は高くなる。よって、EL素子に印加する電圧が一定でも、温度によってEL層に流れる電流の大きさが変わるため、EL素子の輝度も変化してしまう。

【0024】また、EL材料によって、温度変化における輝度の変化の割合が異なる。よって、カラー表示にお

いて、各色毎に異なるEL材料を有するEL素子を設けた場合、温度によって各色のEL素子の輝度がバラバラに変化することで、所望の色が得られないということが起こりうる。

【0025】上述した問題に鑑み、温度変化に左右されずに一定の輝度を得ることができる発光装置及びその駆動方法の考案が所望されていた。

【0026】

【課題を解決するための手段】本発明者は、EL素子の輝度を電圧によって制御するのではなく、電流によって制御することで、温度によるEL素子の輝度の変化を防ぐことを考えた。

【0027】EL素子に一定の電流を流すために、EL素子に流れる電流の大きさを制御するTFTを飽和領域で動作させ、かつ該TFTのドレイン電流を一定にした。なおTFTを飽和領域で動作させるには、以下の式1を満たせば良い。ただし $V_{GS}$ はゲート電極とソース領域間の電位差であり、 $V_{TH}$ は閾値、 $V_{DS}$ はドレイン領域とソース領域の電位差である。

【0028】

$$\text{【式1】 } |V_{GS} - V_{TH}| < |V_{DS}|$$

【0029】 $I_{DS}$ をTFTのドレイン電流（チャネル形成領域に流れる電流値）、 $\mu$ をTFTの移動度、 $C_0$ を単位面積あたりのゲート容量、 $W/L$ をチャネル形成領域のチャネル幅 $W$ とチャネル長 $L$ の比、 $V_{TH}$ を閾値、 $\mu$ を移動度とすると、飽和領域において以下の式2が成立立つ。

【0030】

$$\text{【式2】 } I_{DS} = \mu C_0 W / L \times (V_{GS} - V_{TH})^2 / 2$$

【0031】式2からわかるように、飽和領域においてドレイン電流 $I_{DS}$ は $V_{DS}$ によってほとんど変化せず、 $V_{GS}$ のみによって定まる。よって、電流値 $I_{DS}$ が一定になるように $V_{GS}$ の値を定めておけば、EL素子に流れる電流の大きさは一定になる。EL素子の輝度はEL素子に流れる電流にほぼ正比例するので、温度によるEL素子の輝度の変化を防ぐことができる。

【0032】以下に、本発明の構成を示す。

【0033】本発明によって、第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTと、EL素子と、ソース信号線と、電源供給線とが設けられた画素を複数有する発光装置であって、前記第3のTFTと前記第4のTFTは、ゲート電極が接続されており、前記第3のTFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記第1のTFTのドレイン領域に接続されており、前記第4のTFTのソース領域とドレイン領域は、一方は前記第1のTFTのドレイン領域に、もう一方は前記第1のTFTのゲート電極に接続されており、前記第1のTFTのソース領域は前記電源供給線に、ドレイン領域は前記第2のTFTのソース領域に接続されており、前記第2のTFTのドレイン

領域は、前記EL素子が有する2つの電極のうちのいずれか一方に接続されていることを特徴とする発光装置が提供される。

【0034】本発明によって、第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTと、EL素子と、ソース信号線と、第1のゲート信号線と、第2のゲート信号線と、電源供給線とが設けられた画素を複数有する発光装置であって、前記第3のTFTと前記第4のTFTは、共にゲート電極が前記第1のゲート信号線に接続されており、前記第3のTFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記第1のTFTのドレイン領域に接続されており、前記第4のTFTのソース領域とドレイン領域は、一方は前記第1のTFTのドレイン領域に、もう一方は前記第1のTFTのゲート電極に接続されており、前記第1のTFTのソース領域は前記電源供給線に、ドレイン領域は前記第2のTFTのソース領域に接続されており、前記第2のTFTのドレイン領域は、前記EL素子が有する2つの電極のうちのいずれか一方に接続されており、前記第2のTFTのゲート電極は前記第2のゲート信号線に接続されていることを特徴とする発光装置が提供される。

【0035】本発明によって、TFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、前記TFTは飽和領域で動作しており、第1の期間において、ビデオ信号によって前記TFTのチャネル形成領域に流れる電流の大きさが制御され、前記電流によって前記TFTの $V_{GS}$ が制御され、第2の期間において、前記TFTの $V_{GS}$ は保持されており、かつ前記TFTを介して前記EL素子に所定の電流が流れることを特徴とする発光装置の駆動方法が提供される。

【0036】本発明によって、TFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、前記TFTは飽和領域で動作しており、第1の期間において、ビデオ信号によって前記TFTのチャネル形成領域に流れる電流の大きさが制御され、前記電流によって前記TFTの $V_{GS}$ が制御され、第2の期間において、前記 $V_{GS}$ によって前記TFTのチャネル形成領域に流れる電流が、前記EL素子に流れることを特徴とする発光装置の駆動方法が提供される。

【0037】本発明によって、第1のTFTと、第2のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、前記第1のTFTは飽和領域で動作しており、第1の期間において、ビデオ信号によって前記第1のTFTのチャネル形成領域に流れる電流の大きさが制御され、前記電流によって前記第1のTFTの $V_{GS}$ が制御され、第2の期間において、前記第1のTFTの $V_{GS}$ は保持されており、かつ前記第1のTFT及び前記第2のTFTを介して前記EL素子に所定の電流が流れることを特徴とする発光装置の駆動方法が提

供される。

【0038】本発明によって、第1のTFTと、第2のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、前記第1のTFTは飽和領域で動作しており、第1の期間において、ビデオ信号によって前記第1のTFTのチャネル形成領域に流れる電流の大きさが制御され、前記電流によって前記第1のTFTの $V_{GS}$ が制御され、第2の期間において、前記 $V_{GS}$ によって前記第1のTFTのチャネル形成領域に流れる電流が、前記第2のTFTを介して前記EL素子に流れることを特徴とする発光装置の駆動方法が提供される。

【0039】本発明によって、TFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、前記TFTは飽和領域で動作しており、第1の期間において、ビデオ信号によって前記TFTのチャネル形成領域に流れる電流の大きさが制御され、前記電流によって前記TFTの $V_{GS}$ が制御され、第2の期間において、前記TFTの $V_{GS}$ は保持されており、かつ前記TFTを介して前記EL素子に所定の電流が流れ、第3の期間において、前記EL素子に電流が流れないことを特徴とする発光装置の駆動方法が提供される。

【0040】本発明によって、TFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、前記TFTは飽和領域で動作しており、第1の期間において、ビデオ信号によって前記TFTのチャネル形成領域に流れる電流の大きさが制御され、前記電流によって前記TFTの $V_{GS}$ が制御され、第2の期間において、前記 $V_{GS}$ によって前記TFTのチャネル形成領域に流れる電流が、前記EL素子に流れ、第3の期間において、前記EL素子に電流が流れないことを特徴とする発光装置の駆動方法が提供される。

【0041】本発明によって、第1のTFTと、第2のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、前記第1のTFTは飽和領域で動作しており、第1の期間において、ビデオ信号によって前記第1のTFTのチャネル形成領域に流れる電流の大きさが制御され、前記電流によって前記第1のTFTの $V_{GS}$ が制御され、第2の期間において、前記第1のTFTの $V_{GS}$ は保持されており、かつ前記第1のTFT及び前記第2のTFTを介して前記EL素子に所定の電流が流れ、第3の期間において、前記第2のTFTがオフになることを特徴とする発光装置の駆動方法が提供される。

【0042】本発明によって、第1のTFTと、第2のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、前記第1のTFTは飽和領域で動作しており、第1の期間において、ビデオ信号によって前記第1のTFTのチャネル形成領域に流れる電流の大きさが制御され、前記電流によって前記第1のTFTの $V_{GS}$ が制御され、第2の期間において、前記 $V_{GS}$

によって前記第1のTFTのチャネル形成領域に流れる電流が、前記第2のTFTを介して前記EL素子に流れ、第3の期間において、前記第2のTFTがオフになることを特徴とする発光装置の駆動方法が提供される。

【0043】本発明によって、第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、第1の期間において、前記第3のTFTと前記第4のTFTとによって、前記第1のTFTのゲート電極とドレイン領域とが接続され、かつ、ビデオ信号によって前記第1のTFTのチャネル形成領域に流れる電流の大きさが制御され、前記電流によって前記第1のTFTの $V_{GS}$ が制御され、第2の期間において、前記第1のTFTの $V_{GS}$ は保持され、かつ前記第1のTFTを介して前記EL素子に所定の電流が流れることを特徴とする発光装置の駆動方法が提供される。

【0044】本発明によって、第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、第1の期間において、前記第3のTFTと前記第4のTFTとによって、前記第1のTFTのゲート電極とドレイン領域とが接続され、かつ、ビデオ信号によって前記第1のTFTのチャネル形成領域に流れる電流の大きさが制御され、前記電流によって前記第1のTFTの $V_{GS}$ が制御され、第2の期間において、前記 $V_{GS}$ によって前記第1のTFTのチャネル形成領域に流れる電流が、前記第2のTFTを介して前記EL素子に流れることを特徴とする発光装置の駆動方法が提供される。

【0045】本発明によって、第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、前記第1のTFTのソース領域には一定の電位が与えられており、第1の期間において、前記第3のTFTと前記第4のTFTを介して、前記第1のTFTのゲート電極とドレイン領域にビデオ信号が入力され、第2の期間において、前記ビデオ信号の電位によって、前記第1のTFT及び前記第2のTFTを介して前記EL素子に所定の電流が流れることを特徴とする発光装置の駆動方法が提供される。

【0046】本発明によって、第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、第1の期間において、前記第3のTFTと前記第4のTFTとによって、前記第1のTFTのゲート電極とドレイン領域とが接続され、かつ、ビデオ信号によって前記第1のTFTのチャネル形成領域に流れる電流の大きさが制御され、前記電流によって前記第1のTFTの $V_{GS}$ が制御され、第2の期間において、前記第1のTFTの $V_{GS}$ は保持され、かつ前記第1のTFTを介して前記EL素子に所定の電流が流れ、第3の期間におい

て、前記第2のTFTがオフになることを特徴とする発光装置の駆動方法が提供される。

【0047】本発明によって、第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、第1の期間において、前記第3のTFTと前記第4のTFTとによって、前記第1のTFTのゲート電極とドレイン領域とが接続され、かつ、ビデオ信号によって前記第1のTFTのチャネル形成領域に流れる電流の大きさが制御され、前記電流によって前記第1のTFTの $V_{GS}$ が制御され、第2の期間において、前記 $V_{GS}$ によって前記第1のTFTのチャネル形成領域に流れる電流が、前記第2のTFTを介して前記EL素子に流れ、第3の期間において、前記第2のTFTがオフになることを特徴とする発光装置の駆動方法が提供される。

【0048】本発明によって、第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、前記第1のTFTのソース領域には一定の電位が与えられており、第1の期間において、前記第3のTFTと前記第4のTFTを介して、前記第1のTFTのゲート電極とドレイン領域にビデオ信号が入力され、第2の期間において、前記ビデオ信号の電位によって、前記第1のTFT及び前記第2のTFTを介して前記EL素子に所定の電流が流れ、第3の期間において、前記第2のTFTがオフになることを特徴とする発光装置の駆動方法が提供される。

【0049】本発明は、前記第3のTFTと前記第4のTFTの極性が同じであることを特徴としても良い。

【0050】

【発明の実施の形態】（実施の形態1）図1に本発明の画素の構成を示す。

【0051】図1に示す画素101は、ソース信号線 $S_i$ （ $S_1 \sim S_x$ のうちの1つ）、書き込み用ゲート信号線 $G_{aj}$ （ $G_{a1} \sim G_{ay}$ のうちの1つ）、表示用ゲート信号線 $G_{bj}$ （ $G_{b1} \sim G_{by}$ のうちの1つ）及び電源供給線 $V_i$ （ $V_1 \sim V_x$ のうちの1つ）を有している。

【0052】なおソース信号線と電源供給線の数はいずれも同じであるとは限らない。また、書き込み用ゲート信号線と、表示用ゲート信号線の数はいずれも同じであるとは限らない。またこれらの配線を必ず全て有していなくとも良く、これらの配線の他に、別の異なる配線が設けられていても良い。

【0053】また画素101は、第1スイッチング用TFT102、第2スイッチング用TFT103、電流制御用TFT104、EL駆動用TFT105、EL素子106及びコンデンサ107を有している。

【0054】第1スイッチング用TFT102と第2ス

スイッチング用TFT103のゲート電極は、共に書き込み用ゲート信号線Gajに接続されている。

【0055】なお、本明細書において接続とは、特に記載のない限り電氣的な接続を意味する。

【0056】第1スイッチング用TFT102のソース領域とドレイン領域は、一方はソース信号線Siに、もう一方はEL駆動用TFT105のソース領域に接続されている。また第2スイッチング用TFT103のソース領域とドレイン領域は、一方はEL駆動用TFT105のソース領域に、もう一方は電流制御用TFT104のゲート電極に接続されている。

【0057】つまり、第1スイッチング用TFT102のソース領域とドレイン領域のいずれか一方と、第2スイッチング用TFT103のソース領域とドレイン領域のいずれか一方とは、接続されている。

【0058】電流制御用TFT104のソース領域は電源供給線Viに、ドレイン領域はEL駆動用TFT105のソース領域に接続されている。

【0059】なお本明細書では、nチャネル型トランジスタのソース領域に与えられる電圧は、ドレイン領域に与えられる電圧よりも低いものとする。また、pチャネル型トランジスタのソース領域に与えられる電圧は、ドレイン領域に与えられる電圧よりも高いものとする。

【0060】EL駆動用TFT105のゲート電極は表示用ゲート信号線Gb<sub>j</sub>に接続されている。そしてEL駆動用TFT105のドレイン領域はEL素子106が有する画素電極に接続されている。EL素子106は、画素電極と、対向電極と、画素電極と対向電極の間に設けられたEL層とを有している。EL素子106の対向電極はELパネルの外部に設けられた電源（対向電極用電源）に接続されている。

【0061】電源供給線Viの電位（電源電位）は一定の高さに保たれている。また対向電極用電源の電位も、一定の高さに保たれている。

【0062】なお、第1スイッチング用TFT102と第2スイッチング用TFT103は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。ただし、第1スイッチング用TFT102と第2スイッチング用TFT103の極性は同じである。

【0063】また、電流制御用TFT104はnチャネル型TFTとpチャネル型TFTのどちらでも良い。

【0064】EL駆動用TFT105は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。EL素子の画素電極と対向電極は、一方が陽極であり、他方が陰極である。陽極を画素電極として用い、陰極を対向電極として用いている場合、EL駆動用TFT105はpチャネル型TFTであることが好ましい。逆に、陰極を画素電極として用い、陽極を対向電極として用いる場合、EL駆動用TFT105はnチャネル型TFTであることが好ましい。

【0065】コンデンサ107は電流制御用TFT104のゲート電極とソース領域との間に形成されている。コンデンサ107は、第1及び第2スイッチング用TFT102、103がオフのとき、電流制御用TFT104のゲート電極とソース領域の間の電圧（V<sub>GS</sub>）をより確実に維持するために設けられているが、必ずしも設ける必要はない。

【0066】図2は本発明の駆動方法を用いる発光装置のブロック図であり、100は画素部、110はソース信号線駆動回路、111は書き込み用ゲート信号線駆動回路、112は表示用ゲート信号線駆動回路である。

【0067】画素部100はソース信号線S1～Sxと、書き込み用ゲート信号線Ga1～Gayと、表示用ゲート信号線Gb1～Gbyと、電源供給線V1～Vxとを有している。

【0068】ソース信号線、書き込み用ゲート信号線、表示用ゲート信号線、電源供給線を、それぞれ1つずつ有する領域が画素101である。画素部100には、マトリクス状に複数の画素101が設けられている。

【0069】（実施の形態2）5272

次に、図1及び図2に示した本発明の発光装置の駆動について、図3を用いて説明する。本発明の発光装置の駆動は、書き込み期間Taと表示期間Tdとに分けて説明することができる。

【0070】図3（A）に、書き込み期間Taにおいて、書き込み用ゲート信号線と表示用ゲート信号線に入力される信号のタイミングチャートを示す。書き込み用ゲート信号線と表示用ゲート信号線とが選択されている期間、言いかえると該信号線にゲート電極が接続されているTFTが全てオンの状態にある期間は、ONで示す。逆に、書き込み用ゲート信号線と表示用ゲート信号線とが選択されていない期間、言いかえると該信号線にゲート電極が接続されているTFTが全てオフの状態にある期間は、OFFで示す。

【0071】書き込み期間Taでは、書き込み用ゲート信号線Ga1～Gayが順に選択され、表示用ゲート信号線Gb1～Gbyは選択されない。そして、ソース信号線駆動回路110に入力されるデジタルビデオ信号によって、ソース信号線S1～Sxのそれぞれに一定の電流Icが流れるか流れないかが選択される。

【0072】図4（A）に、書き込み期間Taにおける、ソース信号線Siに一定の電流Icが流れた場合の、画素の概略図を示す。第1スイッチング用TFT102及び第2スイッチング用TFT103はオンの状態にあるので、ソース信号線Siに一定の電流Icが流れると、一定の電流Icは電流制御用TFT104のドレイン領域とソース領域の間に流れる。

【0073】電流制御用TFT104のソース領域は電源供給線Viに接続されており、一定の電位（電源電位）に保たれている。

【0074】電流制御用TFT104は飽和領域で動作しているので、式2の $I_{DS}$ に $I_c$ を代入すれば、自ずと $V_{GS}$ の値が定まる。

【0075】なお、ソース信号線Siに一定の電流 $I_c$ が流れなかった場合、ソース信号線Siは電源供給線Viと同じ電位に保たれるようにする。よってこの場合 $V_{GS} \approx 0$ となる。

【0076】書き込み期間Taが終了すると、表示期間Tdが開始される。

【0077】図3(B)に、表示期間Tdにおける、書き込み用ゲート信号線と表示用ゲート信号線に入力される信号のタイミングチャートを示す。

【0078】表示期間Tdでは、書き込み用ゲート信号線Ga1~Gayが全て選択されず、表示用ゲート信号線Gb1~Gbyが全て選択される。

【0079】図4(B)に、表示期間Tdにおける画素の概略図を示す。第1スイッチング用TFT102及び第2スイッチング用TFT103はオフの状態にある。また、電流制御用TFT104のソース領域は電源供給線Viに接続されており、一定の電位(電源電位)に保たれている。

【0080】表示期間Tdでは、書き込み期間Taにおいて定められた $V_{GS}$ が維持されている。そのため、式2に $V_{GS}$ の値を代入すると、自ずと $I_{DS}$ の値が定まる。

【0081】書き込み期間Taにおいて電流 $I_c$ が流れなかった場合は $V_{GS} \approx 0$ であるので、閾値が0の場合電流は流れない。よってEL素子106は発光しない。

【0082】書き込み期間Taにおいて一定の電流 $I_c$ が流れた場合は、式2に $V_{GS}$ の値を代入すると、電流値 $I_{DS}$ として $I_c$ が得られる。表示期間TdではEL駆動用TFT105がオンになるので、電流 $I_c$ はEL素子106に流れ、EL素子106は発光する。

【0083】上述したように、1フレーム期間中に書き込み期間Taと表示期間Tdとを繰り返すことで、1つの画像を表示することが可能である。nビットのデジタルビデオ信号によって画像を表示する場合、少なくともn個の書き込み期間と、n個の表示期間とが1フレーム期間内に設けられる。

【0084】n個の書き込み期間(Ta1~Tan)と、n個の表示期間(Td1~Tdn)は、デジタルビデオ信号の各ビットに対応している。

【0085】図5に1フレーム期間において、n個の書き込み期間(Ta1~Tan)とn個の表示期間(Td1~Tdn)とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する書き込み用ゲート信号線及び表示用ゲート信号線の位置を示している。

【0086】書き込み期間Tam(mは1~nの任意の数)の次には、同じビット数に対応する表示期間、この場合Tdmが出現する。書き込み期間Taと表示期間Tdとを合わせてサブフレーム期間SFと呼ぶ。mビット

目に対応している書き込み期間Tamと表示期間Tdmとを有するサブフレーム期間はSFmとなる。

【0087】表示期間Td1~Tdnの長さは、 $Td1 : Td2 : \dots : Tdn = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。

【0088】本発明の駆動方法では、1フレーム期間中における発光する表示期間の長さの和を制御することで、階調を表示する。

【0089】上述した構成によって、本発明の発光装置は温度変化に左右されずに一定の輝度を得ることができる。また、カラー表示において、各色毎に異なるEL材料を有するEL素子を設けた場合でも、温度によって各色のEL素子の輝度がバラバラに変化して所望の色が得られないということを防ぐことができる。

【0090】(実施の形態3)5318

次に、図1及び図2に示した本発明の発光装置の、実施の形態2とは異なる駆動方法について、図6~9を用いて説明する。

【0091】はじめに1ライン目の画素において、書き込み期間Ta1が開始される。

【0092】書き込み期間Ta1において、書き込み用ゲート信号線駆動回路111から書き込み用ゲート信号線Ga1に入力される第1の選択信号(書き込み用選択信号)によって、書き込み用ゲート信号線Ga1が選択される。なお、本明細書において信号線が選択されるとは、該信号線にゲート電極が接続されているTFTが全てオンの状態になることを意味する。そして書き込み用ゲート信号線Ga1を有する全ての画素(1ライン目の画素)の第1スイッチング用TFT102及び第2スイッチング用TFT103がオンの状態になる。

【0093】また、書き込み期間Ta1において、1ライン目の画素が有する表示用ゲート信号線Gb1は選択されていない。よって、1ライン目の画素が有するEL駆動用TFT105は全てオフの状態になっている。

【0094】そして、ソース信号線駆動回路110に入力される1ビット目のデジタルビデオ信号によって、ソース信号線S1~Sxに流れる電流の値が定められる。

【0095】デジタルビデオ信号は「0」または「1」の情報を持つ。「0」の情報を有するデジタルビデオ信号と「1」の情報を有するデジタルビデオ信号は、一方がHi(High)、一方がLo(Low)の電圧を有する信号である。デジタルビデオ信号が有する「0」または「1」の情報によって、電流制御用TFT104に流れるドレイン電流の値が制御される。

【0096】具体的には、デジタルビデオ信号の「0」または「1」の情報によって、電流制御用TFT104、第1スイッチング用TFT102及び第2スイッチング用TFT103を介して、電源供給線Viとソース信号線Siとの間に、一定の電流 $I_c$ が流れるか、もしくは電流が流れないかが選択される。

【0097】なお、本明細書において画素にデジタルビデオ信号が入力されたというのは、該画素が、デジタルビデオ信号によって、電源供給線 $V_i$ とソース信号線 $S_i$ との間に、一定の電流 $I_c$ が流れるか、もしくは電流が流れないかが選択されていることを意味する。

【0098】図8(A)に、書き込み期間 $T_{a1}$ における画素の概略図を示す。

【0099】書き込み期間 $T_{a1}$ においては、書き込み用ゲート信号線 $G_{a1}$ が選択、表示用ゲート信号線 $G_{b1}$ が非選択の状態にある。よって、第1スイッチング用TFT102及び第2スイッチング用TFT103がオンになっているので、ソース信号線 $S_i$ に一定の電流 $I_c$ が流れると、一定の電流 $I_c$ は電流制御用TFTのソース領域とドレイン領域の間に流れる。そしてこのとき、EL駆動用TFT105はオフになっているので、EL素子106の画素電極に電源供給線 $V_i$ の電位は与えられず、EL素子106は非発光の状態である。

【0100】電流制御用TFT104のソース領域は電源供給線 $V_i$ に接続されており、一定の電位(電源電位)に保たれている。また、電流制御用TFT104は飽和領域で動作しているので、式2の $I_{DS}$ に $I_c$ を代入すれば、自ずと電流制御用TFT104の $V_{GS}$ の値が定まる。

【0101】ソース信号線 $S_i$ に一定の電流 $I_c$ が流れない場合は、ソース信号線 $S_i$ と電源供給線 $V_i$ とは同じ電位に保たれている。この場合、電流制御用TFT104は、 $V_{GS} \approx 0$ となる。

【0102】そして、書き込み用ゲート信号線 $G_{a1}$ の選択が終了すると、1ライン目の画素において書き込み期間 $T_{a1}$ が終了する。

【0103】1ライン目の画素において書き込み期間 $T_{a1}$ が終了すると、2ライン目の画素において書き込み期間 $T_{a1}$ が開始される。そして、書き込み用選択信号によって書き込み用ゲート信号線 $G_{a2}$ が選択され、1ライン目の画素と同様の動作が行われる。そして書き込み用ゲート信号線 $G_{a3} \sim G_{ay}$ も順に選択され、すべての画素において書き込み期間 $T_{a1}$ が開始され、1ライン目の画素と同様の動作が行われる。

【0104】書き込み期間 $T_{a1}$ は、各ラインの画素によって出現するタイミングが異なり、各ラインの画素が有する書き込み用ゲート信号線が選択されている期間に相当する。書き込み期間 $T_a$ が開始されるタイミングは、各ラインの画素ごとに、それぞれ時間差を有している。

【0105】一方、1ライン目の画素において書き込み期間 $T_{a1}$ が終了した後、2ライン目以降のラインの画素において書き込み期間 $T_{a1}$ が開始されるのと同様並行して、1ライン目の画素において表示期間 $T_{r1}$ が開始される。

【0106】表示期間 $T_{r1}$ では、表示用ゲート信号線

駆動回路112から表示用ゲート信号線 $G_{b1}$ に入力される第2の選択信号(表示用選択信号)によって、表示用ゲート信号線 $G_{b1}$ が選択される。表示用ゲート信号線 $G_{b1}$ は、書き込み用ゲート信号線 $G_{a2} \sim G_{ay}$ の選択が終了する前に選択が開始される。より好ましくは、書き込み用ゲート信号線 $G_{a1}$ の選択が終了し、書き込み用ゲート信号線 $G_{a2}$ の選択が開始されると同時に、表示用ゲート信号線 $G_{b1}$ の選択が開始されるのが良い。

【0107】図8(B)に、表示期間 $T_{r1}$ における画素の概略図を示す。

【0108】表示期間 $T_{r1}$ では、書き込み用ゲート信号線 $G_{a1}$ が非選択、表示用ゲート信号線 $G_{b1}$ が選択の状態にある。よって、1ライン目の画素において、第1スイッチング用TFT102及び第2スイッチング用TFT103はオフになっており、EL駆動用TFT105はオンになっている。

【0109】電流制御用TFT104のソース領域は電源供給線 $V_i$ に接続されており、一定の電位(電源電位)に保たれている。そして、書き込み期間 $T_{a1}$ において定められた、電流制御用TFT104の $V_{GS}$ は、書き込み用ゲート信号線 $G_{a1}$ の選択が終了した後、コンデンサ107などによって維持されている。このとき電流制御用TFT104のソース領域とドレイン領域の間に流れる電流 $I_{DS}$ は、式2に $V_{GS}$ の値を代入することで求められる。電流 $I_{DS}$ は、オンのEL駆動用TFT105を介してEL素子106に流れ、その結果EL素子106が発光する。

【0110】書き込み用ゲート信号線 $G_{a1}$ が選択されているときに、電流 $I_c$ が流れなかった場合は、電流制御用TFT104の $V_{GS} \approx 0$ である。よって、電流制御用TFT104のソース領域とドレイン領域の間に電流は流れない。よってEL素子106は発光しない。

【0111】このように、画素にデジタルビデオ信号が入力された後、表示用ゲート信号線が選択されることで、EL素子106が発光、または非発光の状態になり、画素は表示を行う。

【0112】1ライン目の画素において表示期間 $T_{r1}$ が開始された後、2ライン目の画素においても表示期間 $T_{r1}$ が開始される。そして、表示用選択信号によって表示用ゲート信号線 $G_{b2}$ が選択され、1ライン目の画素と同様の動作が行われる。そして表示用ゲート信号線 $G_{b3} \sim G_{by}$ も順に選択され、すべての画素において表示期間 $T_{r1}$ が開始され、1ライン目の画素と同様の動作が行われる。

【0113】各ラインの画素の表示期間 $T_{r1}$ は、各ラインの画素が有する表示用ゲート信号線が選択されている期間に相当する。表示期間 $T_r$ が開始されるタイミングは、各ラインの画素ごとに、それぞれ時間差を有している。



【0114】一方、2ライン目以降のラインの画素において表示期間 $T_{r1}$ が開始されると同時並行して、1ライン目の画素において表示用ゲート信号線 $G_{b1}$ の選択が終了し、表示期間 $T_{r1}$ が終了する。

【0115】1ライン目の画素において、表示期間 $T_{r1}$ が終了すると非表示期間 $T_{d1}$ が開始される。そして、表示用ゲート信号線 $G_{b1}$ が非選択状態になり、1ライン目の画素のEL駆動用TFT105がオフになる。このとき、書き込み用ゲート信号線 $G_{a1}$ は非選択状態のままである。

【0116】1ライン目の画素においてEL駆動用TFT105はオフになるので、電源供給線 $V_i$ の電源電位がEL素子106の画素電極に与えられなくなる、よって、1ライン目の画素が有するEL素子106は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。

【0117】図8(C)に、表示用ゲート信号線 $G_{b1}$ 及び書き込み用ゲート信号線 $G_{a1}$ が選択されていない時の、1ライン目の画素の概略図を示す。第1スイッチング用TFT102及び第2スイッチング用TFT103はオフになっており、またEL駆動用TFT105もオフになっている。よって、EL素子106は非発光の状態になっている。

【0118】1ライン目の画素において非表示期間 $T_{d1}$ が開始された後、2ライン目の画素においても表示期間 $T_{r1}$ が終了し、非表示期間 $T_{d1}$ が開始される。そして、表示用選択信号によって表示用ゲート信号線 $G_{b2}$ が選択され、2ライン目の画素において1ライン目の画素と同様の動作が行われる。そして表示用ゲート信号線 $G_{b3} \sim G_{by}$ も順に選択され、すべての画素において表示期間 $T_{r1}$ が終了し、非表示期間 $T_{d1}$ が開始され、1ライン目の画素と同様の動作が行われる。

【0119】非表示期間 $T_{d1}$ が開始されるタイミングは、各ラインの画素によって時間差を有しており、非表示期間 $T_{d1}$ は、各ラインの画素が有する書き込み用ゲート信号線が選択されておらず、なおかつ表示用ゲート信号線が選択されている期間に相当する。

【0120】一方、2ライン目以降のラインの画素において非表示期間 $T_{d1}$ が開始されると同時並行、もしくは全ての画素において非表示期間 $T_{d1}$ が開始された後に、1ライン目の画素において書き込み用ゲート信号線 $G_{a1}$ の選択が開始され、書き込み期間 $T_{a2}$ が開始される。

【0121】なお本発明において、各ラインの画素の書き込み期間は互いに重ならないので、 $y$ ライン目の画素における書き込み期間が終了した後に、1ライン目の画素における書き込み期間が開始されるようにする。

【0122】画素の動作は、書き込み期間 $T_{a1}$ の場合と同様である。ただし、書き込み期間 $T_{a2}$ では、2ビット目のデジタルビデオ信号が画素に入力される。

【0123】そして1ライン目の画素において書き込み期間 $T_{a2}$ が終了すると、次に2ライン目以降の画素において、順に書き込み期間 $T_{a2}$ が開始される。

【0124】2ライン目以降の画素において書き込み期間 $T_{a2}$ が開始されると同時並行して、1ライン目の画素において表示期間 $T_{r2}$ が開始される。表示期間 $T_{r2}$ においても、表示期間 $T_{r1}$ と同様に、2ビット目のデジタルビデオ信号によって画素が表示を行う。

【0125】そして、1ライン目の画素において表示期間 $T_{r1}$ が開始された後、2ライン目以降の画素においても、順に書き込み期間 $T_{a2}$ が終了し、表示期間 $T_{r2}$ が開始される。よって、各ラインの画素が表示を行う。

【0126】一方、2ライン目以降のラインの画素において表示期間 $T_{r2}$ が開始されると同時並行して、1ライン目の画素において表示期間 $T_{r2}$ が終了し、非表示期間 $T_{d2}$ が開始される。非表示期間 $T_{d2}$ が開始されると、1ライン目の画素において画素が表示を行わなくなる。

【0127】1ライン目の画素において非表示期間 $T_{d2}$ が開始された後、2ライン目以降の画素においても順に表示期間 $T_{r2}$ が終了し、非表示期間 $T_{d2}$ が開始される。そして各ラインにおいて、画素が表示を行わなくなる。

【0128】上述した動作は $m$ ビット目のデジタルビデオ信号が画素に入力される前まで繰り返し行われ、各ラインの画素ごとに、書き込み期間 $T_a$ と、表示期間 $T_r$ と、非表示期間 $T_d$ とが繰り返し出現する。

【0129】図6に、書き込み期間 $T_{a1}$ 、表示期間 $T_{r1}$ 、非表示期間 $T_{d1}$ において、書き込み用ゲート信号線 $G_{a1} \sim G_{ay}$ 及び表示用ゲート信号線 $G_{b1} \sim G_{by}$ が選択される様子を示す。

【0130】例えば、1ライン目(First Line)の画素に注目すると、書き込み期間 $T_{a1}$ 及び非表示期間 $T_{d1}$ において、画素は表示を行わない。そして表示期間 $T_{r1}$ においてのみ表示を行っている。なお図6では書き込み期間 $T_{a1} \sim T_{a(m-1)}$ 、表示期間 $T_{r1} \sim T_{r(m-1)}$ 、非表示期間 $T_{d1} \sim T_{d(m-1)}$ における画素の動作を説明するために、書き込み期間 $T_{a1}$ 、表示期間 $T_{r1}$ 、非表示期間 $T_{d1}$ における画素の動作を例示している。よって、書き込み期間 $T_{a1} \sim T_{a(m-1)}$ 及び非表示期間 $T_{d1} \sim T_{d(m-1)}$ において、全てのラインの画素は表示を行わない。また表示期間 $T_{r1} \sim T_{r(m-1)}$ において、全てのラインの画素は表示を行う。

【0131】次に、 $m$ ビット目のデジタルビデオ信号が画素に入力される、書き込み期間 $T_{am}$ が開始された後の画素の動作について説明する。なお、本発明において $m$ は、1から $n$ までの値を任意に選択することが可能である。



【0132】1ライン目の画素において書き込み期間 $T_{am}$ が開始されると、 $m$ ビット目のデジタルビデオ信号が1ライン目の画素に入力される。そして、1ライン目の画素において書き込み期間 $T_{am}$ が終了すると、2ライン目以降の画素においても、順に書き込み期間 $T_{am}$ が開始される。

【0133】一方、1ライン目の画素において書き込み期間 $T_{am}$ が終了した後、2ライン目以降のラインの画素において書き込み期間 $T_{am}$ が開始されるのと同時並行して、1ライン目の画素において表示期間 $T_{rm}$ が開始される。表示期間 $T_{rm}$ においても、表示期間 $T_{rm}$ と同様に、 $m$ ビット目のデジタルビデオ信号によって画素が表示を行う。

【0134】そして、1ライン目の画素において表示期間 $T_{rm}$ が開始された後、2ライン目以降の画素においても、順に書き込み期間 $T_{am}$ が終了し、表示期間 $T_{rm}$ が開始される。

【0135】次に、全てのラインの画素において表示期間 $T_{rm}$ が開始された後、1ライン目の画素において表示期間 $T_{rm}$ が終了し、書き込み期間 $T_{a(m+1)}$ が開始される。

【0136】1ライン目の画素において書き込み期間 $T_{a(m+1)}$ が開始されると、1ライン目の画素に $m+1$ ビット目のデジタルビデオ信号が入力される。

【0137】そして1ライン目の画素において、書き込み期間 $T_{a(m+1)}$ が終了する。1ライン目の画素において書き込み期間 $T_{a(m+1)}$ が終了した後、2ライン目以降の画素においても順に表示期間 $T_{rm}$ が終了し、書き込み期間 $T_{a(m+1)}$ が開始される。

【0138】上述した動作は、最後の $y$ ライン目の画素において、 $n$ ビット目のデジタルビデオ信号に対応する表示期間 $T_{rn}$ が終了するまで繰り返し行われ、各ラインの画素ごとに、書き込み期間 $T_a$ と、表示期間 $T_r$ とが繰り返し出現する。

【0139】図7に、書き込み期間 $T_{am}$ 、表示期間 $T_{rm}$ において、書き込み用ゲート信号線 $G_{a1} \sim G_{ay}$ 及び表示用ゲート信号線 $G_{b1} \sim G_{by}$ が選択される様子を示す。

【0140】例えば、1ライン目(First Line)の画素に注目すると、書き込み期間 $T_{am}$ において、画素は表示を行わない。そして表示期間 $T_{rm}$ においてのみ表示を行っている。なお図7では書き込み期間 $T_{am} \sim T_{an}$ 、表示期間 $T_{rm} \sim T_{rn}$ における画素の動作を説明するために、書き込み期間 $T_{am}$ 、表示期間 $T_{rm}$ における画素の動作を例示している。よって、書き込み期間 $T_{am} \sim T_{an}$ において、全てのラインの画素は表示を行わない。また表示期間 $T_{rm} \sim T_{rn}$ において、全てのラインの画素は表示を行う。

【0141】図9に、本発明の駆動方法において、 $m = n - 2$ の場合の、書き込み期間と、表示期間と、非表示

期間とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する書き込み用ゲート信号線及び表示用ゲート信号線の位置を示している。ただし、書き込み期間は短いので、図を見やすくするために、各ビットに対応する書き込み期間 $T_{a1} \sim T_{an}$ の開始されるタイミングを矢印で示した。また、各ビットごとに、1ライン目の画素の書き込み期間が開始されてから、 $y$ ライン目の画素の書き込み期間が終了するまでの期間( $\Sigma T_{a1} \sim \Sigma T_{an}$ )を矢印で示す。

【0142】1ライン目の画素において $T_{rn}$ が終了した後、1フレーム期間が終了し、再び1ライン目の画素において、次のフレーム期間の書き込み期間 $T_{a1}$ が開始される。そして上述した動作が再び繰り返される。1フレーム期間が開始するタイミングと、終了するタイミングは、各ラインの画素毎に時間差を有している。

【0143】全てのラインの画素において1フレーム期間が終了すると1つの画像を表示することができる。

【0144】発光装置は1秒間に60以上のフレーム期間を設けることが好ましい。1秒間に表示される画像の数が60より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。

【0145】また本発明では、各ラインの画素において、全ての書き込み期間の長さの和が1フレーム期間よりも短い。なおかつ表示期間の長さを $T_{r1} : T_{r2} : T_{r3} : \dots : T_{r(n-1)} : T_{rn} = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ とする。この表示期間の組み合わせで2<sup>n</sup>階調のうち所望の階調表示を行うことができる。

【0146】1フレーム期間中にEL素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、 $n = 8$ のとき、全部の表示期間で画素が発光した場合の輝度を100%とすると、 $T_{r1}$ と $T_{r2}$ において画素が発光した場合には1%の輝度が表現でき、 $T_{r3}$ と $T_{r5}$ と $T_{r8}$ を選択した場合には60%の輝度が表現できる。

【0147】表示期間 $T_{rm}$ の長さは、1ライン目の画素の書き込み期間 $T_{am}$ が開始されてから、 $y$ ライン目の画素の書き込み期間 $T_{am}$ が終了するまでの期間( $\Sigma T_{am}$ )より、長いことが肝要である。

【0148】また表示期間 $T_{r1} \sim T_{rn}$ は、どのような順序で出現させても良い。例えば1フレーム期間中において、 $T_{r1}$ の次に $T_{r3}$ 、 $T_{r5}$ 、 $T_{r2}$ 、...という順序で表示期間を出現させることも可能である。ただし、各ラインの画素における書き込み期間が、互いに重ならないようにすることが必要である。

【0149】なお本実施の形態では、EL駆動用TFETのゲート電極にかかる電圧を保持するためにコンデンサを設ける構造としているが、コンデンサを省略することも可能である。EL駆動用TFETが、ゲート絶縁膜を介

してゲート電極に重なるように設けられたLDD領域を有している場合、この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成される。このゲート容量をEL駆動用TFTのゲート電極にかかる電圧を保持するためのコンデンサとして積極的に用いても良い。

【0150】このゲート容量の容量値は、上記ゲート電極とLDD領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれるLDD領域の長さによって決まる。

【0151】本実施の形態の駆動方法では、1ライン目の画素の書き込み期間 $T_a$ が開始されてから、 $y$ ライン目の画素の書き込み期間 $T_a$ が終了するまでの期間、言い換えると全ての画素に1ビット分のデジタルビデオ信号を書き込む期間より、各ラインの画素の表示期間の長さを短くすることができる。よって、デジタルビデオ信号のビット数が増加しても、下位ビットに対応する表示期間の長さを短くすることができるので、画面をちらつかせることなく高精細な画像を表示することが可能である。

【0152】また、本発明の発光装置は温度変化に左右されずに一定の輝度を得ることができる。また、カラー表示において、各色毎に異なるEL材料を有するEL素子を設けた場合でも、温度によって各色のEL素子の輝度がバラバラに変化して所望の色が得られないということを防ぐことができる。

【0153】なお、実施の形態1及び2では、デジタルのビデオ信号を用いて表示を行う駆動方法について説明したが、アナログのビデオ信号を用いて表示を行っても良い。アナログのビデオ信号を用いて表示を行う場合、ソース信号線に流れる電流の値をアナログビデオ信号によって制御し、該電流の大きさによって階調を表示することができる。

【0154】

【実施例】以下に、本発明の実施例について説明する。

【0155】(実施例1) 本実施例では、 $n$ ビットのデジタルビデオ信号に対応した実施の形態1に示した駆動方法において、サブフレーム期間 $SF_1 \sim SF_n$ の出現する順序について説明する。

【0156】図10に1フレーム期間において、 $n$ 個の書き込み期間( $T_{a1} \sim T_{an}$ )と $n$ 個の表示期間( $T_{d1} \sim T_{dn}$ )とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する書き込み用ゲート信号線及び表示用ゲート信号線の位置を示している。各画素の詳しい駆動の仕方については実施の形態1を参照すれば良いので、ここでは省略する。

【0157】本実施例の駆動方法では、1フレーム期間中で1番長い表示期間を有するサブフレーム期間(本実施例では $SF_n$ )を、1フレーム期間の最初及び最後に設けない。言い換えると、1フレーム期間中で1番長い表示期間を有するサブフレーム期間の前後に、同じフレ

ーム期間に含まれる他のサブフレーム期間が出現するような構成にしている。

【0158】上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、人間の目に認識されずらくすることができる。

【0159】なお本実施例の構成は $n \geq 3$ の場合において有効である。

【0160】(実施例2) 本実施例では、6ビットのデジタルビデオ信号を用いた、実施の形態1に示した駆動方法について説明する。

【0161】図11に、1フレーム期間において、 $n$ 個の書き込み期間( $T_{a1} \sim T_{an}$ )と $n$ 個の表示期間( $T_{d1} \sim T_{dn}$ )とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する書き込み用ゲート信号線及び表示用ゲート信号線の位置を示している。各画素の詳しい駆動の仕方については実施の形態1を参照すれば良いので、ここでは省略する。

【0162】6ビットのデジタルビデオ信号を用いた駆動する場合、1フレーム期間内に少なくとも6つのサブフレーム期間 $SF_1 \sim SF_6$ が設けられる。

【0163】サブフレーム期間 $SF_1 \sim SF_6$ は、6ビットのデジタルビデオ信号の各ビットに対応している。そしてサブフレーム期間 $SF_1 \sim SF_6$ は、6個の書き込み期間( $T_{a1} \sim T_{a6}$ )と、 $n$ 個の表示期間( $T_{d1} \sim T_{d6}$ )とを有している。

【0164】 $m$  ( $m$ は1～6の任意の数) ビット目に対応している書き込み期間 $T_{am}$ と表示期間 $T_{dm}$ とを有するサブフレーム期間は $SF_m$ となる。書き込み期間 $T_{am}$ の次には、同じビット数に対応する表示期間、この場合 $T_{dm}$ が出現する。

【0165】1フレーム期間中に書き込み期間 $T_a$ と表示期間 $T_d$ とが繰り返して出現することで、1つの画像を表示することが可能である。

【0166】表示期間 $T_{d1} \sim T_{d6}$ の長さは、 $T_{d1} : T_{d2} : \dots : T_{d6} = 2^0 : 2^1 : \dots : 2^5$ を満たす。

【0167】本実施例の駆動方法では、1フレーム期間中における発光する表示期間の長さの和を制御することで、階調を表示する。

【0168】なお本実施例の構成は、実施例1と自由に組み合わせて実施することが可能である。

【0169】(実施例3) 本実施例では、 $n$ ビットのデジタルビデオ信号を用いた、実施の形態1とは異なる駆動方法の一例について説明する。

【0170】図12に、1フレーム期間において、 $n+1$ 個の書き込み期間( $T_{a1} \sim T_{a(n+1)}$ )と $n$ 個の表示期間( $T_{d1} \sim T_{d(n+1)}$ )とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する書き込み用ゲート信号線及び表示用ゲート信号

線の位置を示している。各画素の詳しい駆動の仕方については実施の形態を参照すれば良いので、ここでは省略する。

【0171】本実施例では $n$ ビットのデジタルビデオ信号に対応して、1フレーム期間内に $n+1$ のサブフレーム期間 $SF1 \sim SF_{n+1}$ が設けられる。そしてサブフレーム期間 $SF1 \sim SF_{n+1}$ は、 $n+1$ 個の書き込み期間( $Ta1 \sim Ta(n+1)$ )と、 $n$ 個の表示期間( $Td1 \sim Td(n+1)$ )とを有している。

【0172】書き込み期間 $Tam$  ( $m$ は $1 \sim n+1$ の任意の数)と表示期間 $Tdm$ とを有するサブフレーム期間は $SFm$ となる。書き込み期間 $Tam$ の次には、同じビット数に対応する表示期間、この場合 $Tdm$ が出現する。

【0173】サブフレーム期間 $SF1 \sim SF_{n-1}$ は、 $1 \sim (n-1)$ ビットのデジタルビデオ信号の各ビットに対応している。サブフレーム期間 $SFn$ 及び $SF(n+1)$ は $n$ ビット目のデジタルビデオ信号に対応している。

【0174】また本実施例では、同じビットのデジタルビデオ信号に対応するサブフレーム期間 $SFn$ と $SF(n+1)$ は連続して出現しない。言い換えると、同じビットのデジタルビデオ信号に対応するサブフレーム期間 $SFn$ と $SF(n+1)$ の間に、他のサブフレーム期間が設けられている。

【0175】1フレーム期間中に書き込み期間 $Ta$ と表示期間 $Td$ とが繰り返し出現することで、1つの画像を表示することが可能である。

【0176】表示期間 $Td1 \sim Td_{n+1}$ の長さは、 $Td1 : Td2 : \dots : (Td_n + Td(n+1)) = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。

【0177】本発明の駆動方法では、1フレーム期間中における発光する表示期間の長さの和を制御することで、階調を表示する。

【0178】本実施例は上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、実施例1、2の場合に比べて人間の目に認識されずらくすることができる。

【0179】なお本実施例では、同じビットに対応するサブフレーム期間が2つある場合について説明したが、本発明はこれに限定されない。1フレーム期間内に同じビットに対応するサブフレーム期間が3つ以上設けられていても良い。

【0180】また、本実施例では最上位ビットのデジタルビデオ信号に対応するサブフレーム期間を複数設けたが、本発明はこれに限定されない。最上位ビット以外のビットのデジタルビデオ信号に対応するサブフレーム期間を複数設けても良い。また、対応するサブフレーム期間が複数設けられたビットは1つだけに限られず、いく

つかのビットのそれぞれに複数のサブフレーム期間が対応するような構成にしても良い。

【0181】なお本実施例の構成は $n \geq 2$ の場合において有効である。また、本実施例は実施例1、2と自由に組み合わせて実施することが可能である。

【0182】(実施例4) 本実施例では、実施の形態2の駆動方法において、6ビットのデジタルビデオ信号を用いて2<sup>6</sup>階調の表示を行う場合について説明する。ただし本実施例では $m=5$ の場合について説明する。なお、本実施例では本発明の駆動方法の一例について説明しており、対応するデジタルビデオ信号のビット数や $m$ の値については、本発明は本実施例の構成に限定されない。

【0183】図13に、本実施例の駆動方法において、書き込み期間と、表示期間と、非表示期間とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する書き込み用ゲート信号線及び表示用ゲート信号線の位置を示している。ただし、書き込み期間は短いので、図を見やすくするために、各ビットに対応する書き込み期間 $Ta1 \sim Ta6$ の開始されるタイミングを矢印で示した。また、対応するビットごとに、1ライン目の画素の書き込み期間が開始されてから、 $y$ ライン目の画素の書き込み期間が終了するまでの期間( $\Sigma Ta1 \sim \Sigma Ta6$ )を矢印で示す。

【0184】また、画素の詳しい動作については、実施の形態1の場合と同じであるので、ここでは説明を省略する。

【0185】はじめに1ライン目の画素において、書き込み期間 $Ta1$ が開始される。書き込み期間 $Ta1$ が開始されると、実施の形態で示したように、1ビット目のデジタルビデオ信号が1ライン目の画素に入力される。

【0186】そして、1ライン目の画素において書き込み期間 $Ta1$ が終了すると、次に2ライン目以降の画素においても、順に書き込み期間 $Ta1$ が開始される。そして1ライン目の画素の場合と同様に、各ラインの画素に1ビット目のデジタルビデオ信号が入力される。

【0187】一方、2ライン目以降の画素において書き込み期間 $Ta1$ が開始されると同時に並行して、1ライン目の画素において表示期間 $Tr1$ が開始される。表示期間 $Tr1$ が開始されると、1ビット目のデジタルビデオ信号によって1ライン目の画素が表示を行う。

【0188】そして、1ライン目の画素において表示期間 $Tr1$ が開始された後、2ライン目以降の画素においても順に書き込み期間 $Ta1$ が終了し、表示期間 $Tr1$ が開始される。そして、1ビット目のデジタルビデオ信号によって各ラインの画素が表示を行う。

【0189】一方、2ライン目以降のラインの画素において表示期間 $Tr1$ が開始されると同時に並行して、1ライン目の画素において表示期間 $Tr1$ が終了し、非表示期間 $Td1$ が開始される。

【0190】非表示期間T d 1が開始されると、1ライン目の画素が表示を行わなくなる。

【0191】次に、1ライン目の画素において非表示期間T d 1が開始された後、2ライン目以降の画素においても順に表示期間T r 1が終了し、非表示期間T d 1が開始される。よって、各ラインの画素が表示を行わなくなる。

【0192】一方、2ライン目以降のラインの画素において非表示期間T d 1が開始されると同時並行、もしくは全ての画素において非表示期間T d 1が開始された後に、1ライン目の画素において書き込み期間T a 2が開始される。

【0193】書き込み期間T a 2が開始されると、2ビット目のデジタルビデオ信号が1ライン目の画素に入力される。

【0194】上述した動作は5ビット目のデジタルビデオ信号が画素に入力される前まで繰り返行われ、各ラインの画素ごとに、書き込み期間T a と、表示期間T r と、非表示期間T d とが繰り返行出現する。

【0195】次に、5ビット目のデジタルビデオ信号が画素に入力される、書き込み期間T a 5が開始された後の画素の動作について説明する。

【0196】1ライン目の画素において書き込み期間T a 5が開始されると、5ビット目のデジタルビデオ信号が1ライン目の画素に入力される。そして、1ライン目の画素において書き込み期間T a 5が終了すると、2ライン目以降の画素においても、順に書き込み期間T a 5が開始される。

【0197】一方、1ライン目の画素において書き込み期間T a 5が終了した後、2ライン目以降のラインの画素において書き込み期間T a 5が開始されると同時並行して、1ライン目の画素において表示期間T r 5が開始される。表示期間T r 5においても、表示期間T r 5と同様に、5ビット目のデジタルビデオ信号によって画素が表示を行う。

【0198】そして、1ライン目の画素において表示期間T r 5が開始された後、2ライン目以降の画素においても、順に書き込み期間T a 5が終了し、表示期間T r 5が開始される。

【0199】次に、全てのラインの画素において表示期間T r 5が開始された後、1ライン目の画素において表示期間T r 5が終了し、書き込み期間T a 6が開始される。

【0200】1ライン目の画素において書き込み期間T a 6が開始されると、1ライン目の画素に6ビット目のデジタルビデオ信号が入力される。

【0201】そして1ライン目の画素において、書き込み期間T a 6が終了する。1ライン目の画素において書き込み期間T a 6が終了した後、2ライン目以降の画素においても順に表示期間T r 5が終了し、書き込み期間

T a 6が開始される。

【0202】一方、2ライン目以降の画素において書き込み期間T a 6が開始されると同時並行して、1ライン目の画素において表示期間T r 6が開始される。表示期間T r 6が開始されると、6ビット目のデジタルビデオ信号によって1ライン目の画素が表示を行う。

【0203】そして、1ライン目の画素において表示期間T r 6が開始された後、2ライン目以降の画素においても順に書き込み期間T a 6が終了し、表示期間T r 6が開始される。そして、6ビット目のデジタルビデオ信号によって各ラインの画素が表示を行う。

【0204】1ライン目の画素においてT r 6が終了した後、1ライン目の画素において1フレーム期間が終了し、再び次のフレーム期間の書き込み期間T a 1が開始される。また1ライン目の画素においてT r 6が終了した後、2ライン目以降の画素においてもT r 6が終了した後、各ライン目の画素において1フレーム期間が終了し、再び次のフレーム期間の書き込み期間T a 1が開始される。

【0205】そして上述した動作が再び繰り返される。1フレーム期間が開始するタイミングと、終了するタイミングは、各ラインの画素毎に時間差を有している。

【0206】全てのラインの画素において1フレーム期間が終了すると1つの画像を表示することができる。

【0207】本実施例では、表示期間の長さをT r 1 : T r 2 : … : T r 5 : T r 6 =  $2^0$  :  $2^1$  : … :  $2^4$  :  $2^5$  とする。この表示期間の組み合わせで $2^6$ 階調のうち所望の階調表示を行うことができる。

【0208】1フレーム期間中にE L素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、本実施例の場合は、全部の表示期間で画素が発光した場合の輝度を100%とすると、T r 1とT r 2において画素が発光した場合には5%の輝度が表現でき、T r 3とT r 5を選択した場合には32%の輝度が表現できる。

【0209】なお本発明において、各ラインの画素の書き込み期間は互いに重ならないので、yライン目の画素における書き込み期間が終了した後に、1ライン目の画素における書き込み期間が開始されるようにする。

【0210】また本実施例では、各ラインの画素の表示期間T r 5の長さは、1ライン目の画素の書き込み期間T a 5が開始されてから、yライン目の画素の書き込み期間T a 5が終了するまでの期間( $\Sigma T a 5$ )より、長いことが肝要である。

【0211】また表示期間T r 1～T r 6は、どのような順序で出現させても良い。例えば1フレーム期間中において、T r 1の次にT r 3、T r 5、T r 2、…という順序で表示期間を出現させることも可能である。ただし、各ラインの画素における書き込み期間が、互いに重

ならないようにすることが必要である。

【0212】本発明の駆動方法では、1ライン目の画素の書き込み期間 $T_a$ が開始されてから、 $y$ ライン目の画素の書き込み期間 $T_a$ が終了するまでの期間、言い換えると全ての画素に1ビット分のデジタルビデオ信号を書き込む期間より、各ラインの画素の表示期間の長さを短くすることができる。よって、デジタルビデオ信号のビット数が増加しても、下位ビットに対応する表示期間の長さを短くすることができるので、画面をちらつかせることなく高精細な画像を表示することが可能である。

【0213】また、本発明の発光装置は温度変化に左右されずに一定の輝度を得ることができる。また、カラー表示において、各色毎に異なるEL材料を有するEL素子を設けた場合でも、温度によって各色のEL素子の輝度がバラバラに変化して所望の色が得られないということを防ぐことができる。

(実施例5) 本実施例では、6ビットのデジタルビデオ信号に対応した実施の形態2の駆動方法において、表示期間 $T_{r1} \sim T_{r6}$ の出現する順序について説明する。ただし本実施例では $m=5$ の場合について説明する。なお、本実施例では本発明の実施の形態2の駆動方法の一例について説明しており、対応するデジタルビデオ信号のビット数や $m$ の値については、本発明は本実施例の構成に限定されない。なお本実施例の構成はデジタルビデオ信号のビット数が3以上の場合において有効である。

【0214】図14に、本実施例の駆動方法において、書き込み期間と、表示期間と、非表示期間とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する書き込み用ゲート信号線及び表示用ゲート信号線の位置を示している。ただし、書き込み期間は短いため、図を見やすくするために、各ビットに対応する書き込み期間 $T_{a1} \sim T_{a6}$ の開始されるタイミングを矢印で示した。また、対応するビットごとに、1ライン目の画素の書き込み期間が開始されてから、 $y$ ライン目の画素の書き込み期間が終了するまでの期間( $\Sigma T_{a1} \sim \Sigma T_{a6}$ )を矢印で示す。

【0215】また、画素の詳しい動作については、実施の形態2の場合と同じであるので、ここでは説明を省略する。

【0216】はじめに1ライン目の画素において、書き込み期間 $T_{a4}$ が開始される。書き込み期間 $T_{a4}$ が開始されると、4ビット目のデジタルビデオ信号が1ライン目の画素に入力される。

【0217】そして、1ライン目の画素において書き込み期間 $T_{a4}$ が終了すると、次に2ライン目以降の画素においても、順に書き込み期間 $T_{a4}$ が開始される。そして1ライン目の画素の場合と同様に、各ラインの画素に4ビット目のデジタルビデオ信号が入力される。

【0218】一方、2ライン目以降の画素において書き込み期間 $T_{a4}$ が開始されると同時に並行して、1ライ

ン目の画素において表示期間 $T_{r4}$ が開始される。表示期間 $T_{r4}$ が開始されると、4ビット目のデジタルビデオ信号によって1ライン目の画素が表示を行う。

【0219】そして、1ライン目の画素において表示期間 $T_{r4}$ が開始された後、2ライン目以降の画素においても順に書き込み期間 $T_{a4}$ が終了し、表示期間 $T_{r4}$ が開始される。そして、4ビット目のデジタルビデオ信号によって各ラインの画素が表示を行う。

【0220】一方、2ライン目以降のラインの画素において表示期間 $T_{r4}$ が開始した後、1ライン目の画素において表示期間 $T_{r4}$ が終了し、非表示期間 $T_{d4}$ が開始される。なお、2ライン目以降のラインの画素において表示期間 $T_{r4}$ が開始されると同時に並行して、1ライン目の画素において表示期間 $T_{r4}$ が終了し、非表示期間 $T_{d4}$ が開始されても良い。

【0221】非表示期間 $T_{d4}$ が開始されると、1ライン目の画素が表示を行わなくなる。

【0222】次に、1ライン目の画素において非表示期間 $T_{d4}$ が開始された後、2ライン目以降の画素においても順に表示期間 $T_{r4}$ が終了し、非表示期間 $T_{d4}$ が開始される。よって、各ラインの画素が表示を行わなくなる。

【0223】一方、2ライン目以降のラインの画素において非表示期間 $T_{d4}$ が開始されると同時に並行、もしくは全ての画素において非表示期間 $T_{d4}$ が開始された後に、1ライン目の画素において書き込み期間 $T_{a5}$ が開始される。

【0224】1ライン目の画素において書き込み期間 $T_{a5}$ が開始されると、5ビット目のデジタルビデオ信号が1ライン目の画素に入力される。そして、1ライン目の画素において書き込み期間 $T_{a5}$ が終了すると、2ライン目以降の画素においても、順に書き込み期間 $T_{a5}$ が開始される。

【0225】一方、1ライン目の画素において書き込み期間 $T_{a5}$ が終了した後、2ライン目以降のラインの画素において書き込み期間 $T_{a5}$ が開始されると同時に並行して、1ライン目の画素において表示期間 $T_{r5}$ が開始される。表示期間 $T_{r5}$ においても、表示期間 $T_{r5}$ と同様に、5ビット目のデジタルビデオ信号によって画素が表示を行う。

【0226】そして、1ライン目の画素において表示期間 $T_{r5}$ が開始された後、2ライン目以降の画素においても、順に書き込み期間 $T_{a5}$ が終了し、表示期間 $T_{r5}$ が開始される。

【0227】次に、全てのラインの画素において表示期間 $T_{r5}$ が開始された後、1ライン目の画素において表示期間 $T_{r5}$ が終了し、書き込み期間 $T_{a2}$ が開始される。

【0228】1ライン目の画素において書き込み期間 $T_{a2}$ が開始されると、2ビット目のデジタルビデオ信号

が1ライン目の画素に入力される。

【0229】そして、1ライン目の画素において書き込み期間 $T_{a2}$ が終了すると、次に2ライン目以降の画素においても、順に書き込み期間 $T_{a2}$ が開始される。そして1ライン目の画素の場合と同様に、各ラインの画素に2ビット目のデジタルビデオ信号が入力される。

【0230】一方、2ライン目以降の画素において書き込み期間 $T_{a2}$ が開始されるのと同時並行して、1ライン目の画素において表示期間 $T_{r2}$ が開始される。表示期間 $T_{r2}$ が開始されると、2ビット目のデジタルビデオ信号によって1ライン目の画素が表示を行う。

【0231】そして、1ライン目の画素において表示期間 $T_{r2}$ が開始された後、2ライン目以降の画素においても順に書き込み期間 $T_{a2}$ が終了し、表示期間 $T_{r2}$ が開始される。そして、2ビット目のデジタルビデオ信号によって各ラインの画素が表示を行う。

【0232】一方、2ライン目以降のラインの画素において表示期間 $T_{r2}$ が開始されるのと同時並行して、1ライン目の画素において表示期間 $T_{r2}$ が終了し、非表示期間 $T_{d2}$ が開始される。

【0233】非表示期間 $T_{d2}$ が開始されると、1ライン目の画素が表示を行わなくなる。

【0234】次に、1ライン目の画素において非表示期間 $T_{d2}$ が開始された後、2ライン目以降の画素においても順に表示期間 $T_{r2}$ が終了し、非表示期間 $T_{d2}$ が開始される。よって、各ラインの画素が表示を行わなくなる。

【0235】一方、2ライン目以降のラインの画素において非表示期間 $T_{d2}$ が開始されるのと同時並行、もしくは全ての画素において非表示期間 $T_{d2}$ が開始された後に、1ライン目の画素において書き込み期間 $T_{a3}$ が開始される。

【0236】上述した動作は1～6の全てのビットのデジタルビデオ信号が画素に入力される前まで繰り返し行われ、各ラインの画素ごとに、書き込み期間 $T_a$ と、表示期間 $T_r$ と、非表示期間 $T_d$ とが繰り返し出現する。

【0237】1ライン目の画素において全ての表示期間 $T_{r1} \sim T_{r6}$ が終了した後、1ライン目の画素において1フレーム期間が終了し、再び次のフレーム期間の最初の書き込み期間（本実施例では $T_{a4}$ ）が開始される。また1ライン目の画素において1フレーム期間が終了した後、2ライン目以降の画素においても1フレーム期間が終了し、再び次のフレーム期間の書き込み期間 $T_{a4}$ が開始される。

【0238】そして上述した動作が再び繰り返される。1フレーム期間が開始するタイミングと、終了するタイミングは、各ラインの画素毎に時間差を有している。

【0239】全てのラインの画素において1フレーム期間が終了すると1つの画像を表示することができる。

【0240】本実施例では、表示期間の長さを $T_{r1}$ ：

$T_{r2} : \dots : T_{r5} : T_{r6} = 2^0 : 2^1 : \dots : 2^4 : 2^5$ とする。この表示期間の組み合わせで $2^6$ 階調のうち所望の階調表示を行うことができる。

【0241】1フレーム期間中にEL素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、本実施例の場合は、全部の表示期間で画素が発光した場合の輝度を100%とすると、 $T_{r1}$ と $T_{r2}$ において画素が発光した場合には5%の輝度が表現でき、 $T_{r3}$ と $T_{r5}$ を選択した場合には32%の輝度が表現できる。

【0242】なお本発明において、各ラインの画素の書き込み期間は互いに重ならないので、 $y$ ライン目の画素における書き込み期間が終了した後に、1ライン目の画素における書き込み期間が開始されるようにする。

【0243】また本実施例では、各ラインの画素の表示期間 $T_{r5}$ の長さは、1ライン目の画素の書き込み期間 $T_{a5}$ が開始されてから、 $y$ ライン目の画素の書き込み期間 $T_{a5}$ が終了するまでの期間（ $\Sigma T_{a5}$ ）より、長いことが肝要である。

【0244】また表示期間 $T_{r1} \sim T_{r6}$ は、どのような順序で出現させても良い。例えば1フレーム期間中において、 $T_{r1}$ の次に $T_{r3}$ 、 $T_{r5}$ 、 $T_{r2}$ 、…という順序で表示期間を出現させることも可能である。ただし、各ラインの画素における書き込み期間が、互いに重ならないようにすることが必要である。

【0245】本実施例の駆動方法では、1ライン目の画素の書き込み期間 $T_a$ が開始されてから、 $y$ ライン目の画素の書き込み期間 $T_a$ が終了するまでの期間、言い換えると全ての画素に1ビット分のデジタルビデオ信号を書き込む期間より、各ラインの画素の表示期間の長さを短くすることができる。よって、デジタルビデオ信号のビット数が増加しても、下位ビットに対応する表示期間の長さを短くすることができるので、画面をちらつかせることなく高精細な画像を表示することが可能である。

【0246】また、本発明の発光装置は温度変化に左右されずに一定の輝度を得ることができる。また、カラー表示において、各色毎に異なるEL材料を有するEL素子を設けた場合でも、温度によって各色のEL素子の輝度がバラバラに変化して所望の色が得られないということを防ぐことができる。

【0247】なお本実施例の駆動方法では、1フレーム期間中で1番長い表示期間（本実施例では $T_{r6}$ ）を、1フレーム期間の最初及び最後に設けない。言い換えると、1フレーム期間中で1番長い表示期間の前後に、同じフレーム期間に含まれる他の表示期間が出現するような構成にしている。

【0248】上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、人間



の目に認識されずらくすることができる。

【0249】本実施例は実施例4と自由に組み合わせて実施することが可能である。

【0250】(実施例6) 本実施例では、 $n$ ビットのデジタルビデオ信号を用いた、実施の形態2とは異なる駆動方法の一例について説明する。ただし本実施例では $m = n - 2$ の場合について説明する。

【0251】本実施例の駆動方法では、最上位ビットのデジタルビデオ信号に対応する表示期間 $Tr_n$ を第1表示期間 $Tr_{n\_1}$ と第2表示期間 $Tr_{n\_2}$ とに分割している。そして、第1表示期間 $Tr_{n\_1}$ と第2表示期間 $Tr_{n\_2}$ のそれぞれに対応して、第1書き込み期間 $Ta_{n\_1}$ と第2書き込み期間 $Ta_{n\_2}$ とが設けられている。

【0252】図15に、本実施例の駆動方法において、書き込み期間と、表示期間と、非表示期間とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する書き込み用ゲート信号線及び表示用ゲート信号線の位置を示している。ただし、書き込み期間は短いため、図を見やすくするために、各ビットに対応する書き込み期間 $Ta_1 \sim Ta_{(n-1)}$ 、 $Ta_{n\_1}$ 、 $Ta_{n\_2}$ の開始されるタイミングを矢印で示した。また、対応するビットごとに、1ライン目の画素の書き込み期間が開始されてから、 $y$ ライン目の画素の書き込み期間が終了するまでの期間( $\Sigma Ta_1 \sim \Sigma Ta_{(n-1)}$ 、 $\Sigma Ta_{n\_1}$ 、 $\Sigma Ta_{n\_2}$ )を矢印で示す。

【0253】また、画素の詳しい動作については、実施の形態2の場合と同じであるので、ここでは説明を省略する。

【0254】また本実施例では、同じビットのデジタルビデオ信号に対応する第1表示期間 $Tr_{n\_1}$ と第2表示期間 $Tr_{n\_2}$ の間に、他のビットに対応する表示期間が設けられている。

【0255】表示期間 $Tr_1 \sim Tr_n$ 、 $Tr_{n\_1}$ 、 $Tr_{n\_2}$ の長さは、 $Tr_1 : Tr_2 : \dots : Tr_{(n-1)} : (Tr_{n\_1} + Tr_{n\_2}) = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。

【0256】本発明の駆動方法では、1フレーム期間中における発光する表示期間の長さの和を制御することで、階調を表示する。

【0257】本実施例は上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、実施例4、5の場合に比べて人間の目に認識されずらくすることができる。

【0258】なお本実施例では、同じビットに対応する表示期間が2つある場合について説明したが、本発明はこれに限定されない。1フレーム期間内に同じビットに対応する表示期間が3つ以上設けられていても良い。

【0259】また、本実施例では最上位ビットのデジ

タルビデオ信号に対応する表示期間を複数設けたが、本発明はこれに限定されない。最上位ビット以外のビットのデジタルビデオ信号に対応する表示期間を複数設けても良い。また、対応する表示期間が複数設けられたビットは1つだけに限られず、いくつかのビットのそれぞれに複数の表示期間が対応するような構成にしても良い。

【0260】なお本実施例の構成は $n \geq 2$ の場合において有効である。また、本実施例は実施例4または5と自由に組み合わせて実施することが可能である。

【0261】(実施例7) 本実施例では、本発明の発光装置が有する駆動回路(ソース信号線駆動回路及びゲート信号線駆動回路)の構成について説明する。

【0262】図16にソース信号線駆動回路601の構成をブロック図で示す。602はシフトレジスタ、603は記憶回路A、604は記憶回路B、605は定電流回路である。

【0263】シフトレジスタ602にはクロック信号CLKと、スタートパルス信号SPが入力されている。また記憶回路A603にはデジタルビデオ信号(Digital Video Signals)が入力されており、記憶回路B603にはラッチ信号(Latch Signals)が入力されている。定電流回路604から出力される一定の電流 $I_c$ はソース信号線へ入力される。

【0264】図17にソース信号線駆動回路601のより詳しい構成を示す。

【0265】シフトレジスタ602に所定の配線からクロック信号CLKとスタートパルス信号SPとが入力されることによって、タイミング信号が生成される。タイミング信号は記憶回路A603が有する複数のラッチA(LATA<sub>1</sub> ~ LATA<sub>x</sub>)にそれぞれ入力される。なおこのときシフトレジスタ602において生成されたタイミング信号を、バッファ等で緩衝増幅してから、記憶回路A603が有する複数のラッチA(LATA<sub>1</sub> ~ LATA<sub>x</sub>)にそれぞれ入力するような構成にしても良い。

【0266】記憶回路A603にタイミング信号が入力されると、該タイミング信号に同期して、ビデオ信号線610に入力される1ビット分のデジタルビデオ信号が、順に複数のラッチA(LATA<sub>1</sub> ~ LATA<sub>x</sub>)のそれぞれに書き込まれ、保持される。

【0267】なお、本実施例では記憶回路A603にデジタルビデオ信号を取り込む際に、記憶回路A603が有する複数のラッチA(LATA<sub>1</sub> ~ LATA<sub>x</sub>)に、順にデジタルビデオ信号を入力しているが、本発明はこの構成に限定されない。記憶回路A603が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば4つのステ



ージごとにラッチをグループに分けた場合、4分割で分割駆動すると言う。

【0268】記憶回路A603の全てのステージのラッチにデジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0269】1ライン期間が終了すると、記憶回路B604が有する複数のラッチB(LATB\_\_1~LATB\_\_x)に、ラッチ信号線609を介してラッチシグナル(Latch Signal)が供給される。この瞬間、記憶回路A603が有する複数のラッチA(LATA\_\_1~LATA\_\_x)に保持されているデジタルビデオ信号は、記憶回路B604が有する複数のラッチB(LATB\_\_1~LATB\_\_x)に一斉に書き込まれ、保持される。

【0270】デジタルビデオ信号を記憶回路B604に送出し終えた記憶回路A603には、シフトレジスタ602からのタイミング信号に基づき、次の1ビット分のデジタルビデオ信号の書き込みが順次行われる。

【0271】この2順目の1ライン期間中には、記憶回路B604に書き込まれ、保持されているデジタルビデオ信号が定電流回路605に入力される。

【0272】定電流回路605は複数の電流設定回路(C1~Cx)を有している。電流設定回路(C1~Cx)のそれぞれにデジタルビデオ信号が入力されると、該デジタルビデオ信号が有する1または0の情報によって、ソース信号線に一定の電流Icが流れるか、またはソース信号線に電源供給線V1~Vxの電位が与えられるか、いずれか一方が選択される。

【0273】図18に電流設定回路C1の具体的な構成の一例を示す。なお電流設定回路C2~Cxも同じ構成を有する。

【0274】電流設定回路C1は定電流源631と、4つのトランスマッションゲートSW1~SW4と、2つのインバーターInb1、Inb2とを有している。

【0275】記憶回路B604が有するLATB\_\_1から出力されたデジタルビデオ信号によって、SW1~SW4のスイッチングが制御される。なおSW1及びSW3に入力されるデジタルビデオ信号と、SW2及びSW4に入力されるデジタルビデオ信号は、Inb1、Inb2によって反転している。そのためSW1及びSW3がオンのときはSW2及びSW4はオフ、SW1及びSW3がオフのときはSW2及びSW4はオンとなっている。

【0276】SW1及びSW3がオンのとき、定電流源631から電流IcがSW1及びSW3を介してソース信号線S1に入力される。

【0277】逆にSW2及びSW4がオンのときは、定電流源631からの電流IcはSW2を介してグラウンドに落とされる。またSW4を介して電源供給線V1~

Vxの電源電位がソース信号線S1に与えられる。

【0278】再び図17を参照して、前記の動作が、1ライン期間内に、定電流回路605が有する全ての電流設定回路(C1~Cx)において同時に行われる。よって、デジタルビデオ信号により、全てのソース信号線において、一定の電流Icが流されるか、または電源電位が与えられるかが選択される。

【0279】なお、シフトレジスタの代わりにデコーダ回路等の別の回路を用いて、ラッチ回路に順にデジタルビデオ信号を書きこむようにしても良い。

【0280】次に、書き込み用ゲート信号線駆動回路と表示用ゲート信号線駆動回路の構成について説明する。ただし、書き込み用ゲート信号線駆動回路と表示用ゲート信号線駆動回路の構成はほぼ同じであるので、ここでは代表して書き込み用ゲート信号線駆動回路についてのみ説明する。

【0281】図19は書き込み用ゲート信号線駆動回路641の構成を示すブロック図である。

【0282】書き込み用ゲート信号線駆動回路641は、それぞれシフトレジスタ642、バッファ643を有している。また場合によってはレベルシフタを有していても良い。

【0283】書き込み用ゲート信号線駆動回路641において、シフトレジスタ642にクロックCLK及びスタートパルス信号SPが入力されることによって、タイミング信号が生成される。生成されたタイミング信号はバッファ643において緩衝増幅され、選択された書き込み用ゲート信号線に供給される。

【0284】書き込み用ゲート信号線には、1ライン分の画素の第1スイッチング用TFT及び第2スイッチング用TFTのゲート電極が接続されている。そして、1ライン分の画素の第1スイッチング用TFT及び第2スイッチング用TFTを一斉にONにしなければならないので、バッファ643は大きな電流を流すことが可能なものが用いられる。

【0285】なお、表示用ゲート信号線駆動回路の場合、全ての表示用ゲート信号線に接続されているEL駆動用TFTを、各表示期間において一斉にオンにする。そのため、書き込み用ゲート信号線駆動回路のシフトレジスタに入力されるクロック信号CLK及びスタートパルス信号SPとは波形が異なっている。

【0286】なお、シフトレジスタの代わりにデコーダ回路等の別の回路を用いて、ゲート信号を選択し、タイミング信号を供給するようにしても良い。

【0287】本発明において用いられる駆動回路は、本実施例で示した構成に限定されない。

【0288】本実施例は、実施例1~実施例6と自由に組み合わせて実施することが可能である。

【0289】(実施例8)本実施例では、図1に示した構成を有する画素の上面図の一例について示す。

【0290】図20に本実施例の画素の上面図を示す。画素は、ソース信号線Siと、電源供給線Viと、書き込み用ゲート信号線Gajと、表示用ゲート信号線Gb<sub>j</sub>とを有している。ソース信号線Siは書き込み用ゲート信号線Gaj及び表示用ゲート信号線Gb<sub>j</sub>と重なる部分においてゲート信号線G<sub>j</sub>と接触しないように、一部、接続配線182によって引き回されている。

【0291】102と103は、それぞれ第1スイッチング用TFTと第2スイッチング用TFTである。また104と105は、それぞれ電流制御用TFTとEL駆動用TFTである。

【0292】第1スイッチング用TFT102のソース領域とドレイン領域は、一方は接続配線190を介してソース信号線Siに接続されており、もう一方は接続配線183を介して電流制御用TFT104のドレイン領域に接続されている。また第2スイッチング用TFT103のソース領域とドレイン領域は、一方は接続配線183を介して電流制御用TFT104のドレイン領域に接続されており、もう一方は接続配線184及びゲート配線185に接続されている。なおゲート配線185の一部は電流制御用TFTのゲート電極として機能している。

【0293】書き込み用ゲート信号線Gajの一部は、第1スイッチング用TFT102及び第2スイッチング用TFT103のゲート電極として機能している。

【0294】また電源供給線Viとゲート配線185の一部は層間絶縁膜を間にはさんで重なっており、重なっている部分がコンデンサ107になる。

【0295】電流制御用TFT104のソース領域は電源供給線Viに接続されており、ドレイン領域は接続配線186を介してEL駆動用TFT105のソース領域に接続されている。EL駆動用TFT105のドレイン領域は、画素電極181に接続されている。また表示用ゲート信号線Gb<sub>j</sub>の一部は、EL駆動用TFT105のゲート電極として機能している。

【0296】なお本発明の発光装置が有する画素は、図20に示した構成に限定されない。また本実施例の構成は、実施例1～7と自由に組み合わせて実施することが可能である。

【0297】(実施例9)本実施例では、本発明の発光装置の画素部のTFTを作製する方法について説明する。なお、画素部の周辺に設けられる駆動回路(ソース信号線側駆動回路、書き込み用ゲート信号線側駆動回路、表示用ゲート信号線側駆動回路)が有するTFTを、画素部のTFTと同一基板上に同時に形成しても良い。

【0298】まず、図21(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板5001上に

酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。例えば、プラズマCVD法でSiH<sub>4</sub>、NH<sub>3</sub>、N<sub>2</sub>Oから作製される酸化窒化シリコン膜5002aを10～200[nm](好ましくは50～100[nm])形成し、同様にSiH<sub>4</sub>、N<sub>2</sub>Oから作製される酸化窒化水素化シリコン膜5002bを50～200[nm](好ましくは100～150[nm])の厚さに積層形成する。本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0299】島状半導体層5004～5006は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層5004～5006の厚さは25～80[nm](好ましくは30～60[nm])の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)合金などで形成すると良い。

【0300】レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO<sub>4</sub>レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数300[Hz]とし、レーザーエネルギー密度を100～400[mJ/cm<sup>2</sup>](代表的には200～300[mJ/cm<sup>2</sup>])とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数30～300[kHz]とし、レーザーエネルギー密度を300～600[mJ/cm<sup>2</sup>](代表的には350～500[mJ/cm<sup>2</sup>])とすると良い。そして幅100～1000[μm]、例えば400[μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50～90[%]として行う。

【0301】次いで、島状半導体層5004～5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40～150[nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120[nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO<sub>2</sub>とを混合し、反応圧力40[Pa]、基板温度300～400[°C]とし、高周波(13.56[MHz])、電力密度0.5～0.8[W/cm<sup>2</sup>]で放電さ

せて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400～500[°C]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0302】そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50～100[nm]の厚さに形成し、第2の導電膜5009をWで100～300[nm]の厚さに形成する。

【0303】Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、 $\alpha$ 相のTa膜の抵抗率は20[ $\mu\Omega\text{cm}$ ]程度でありゲート電極に使用することが出来るが、 $\beta$ 相のTa膜の抵抗率は180[ $\mu\Omega\text{cm}$ ]程度でありゲート電極とするには不向きである。 $\alpha$ 相のTa膜を形成するために、Taの $\alpha$ 相に近い結晶構造をもつ窒化タンタルを10～50[nm]程度の厚さでTaの下地に形成しておくことと $\alpha$ 相のTa膜を容易に得ることが出来る。

【0304】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF<sub>6</sub>)を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20[ $\mu\Omega\text{cm}$ ]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999[%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20[ $\mu\Omega\text{cm}$ ]を実現することが出来る。

【0305】なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をAlとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をCuとする組み合わせが挙げられる。

(図21(A))

【0306】次に、レジストによるマスク5010を形

成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>を混合し、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub>とCl<sub>2</sub>を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0307】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は15～45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20[%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2～4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50[nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011～5015(第1の導電層5011a～5015aと第2の導電層5011b～5015b)を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011～5015で覆われない領域は20～50[nm]程度エッチングされ薄くなった領域が形成される。

【0308】そして、第1のドーピング処理を行いN型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーピング量を $1 \times 10^{13} \sim 5 \times 10^{14}$ [atoms/cm<sup>2</sup>]とし、加速電圧を60～100[keV]として行う。N型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層5012～5015がN型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5017～5023が形成される。第1の不純物領域5017～5023には $1 \times 10^{20} \sim 1 \times 10^{21}$ [atoms/cm<sup>3</sup>]の濃度範囲でN型を付与する不純物元素を添加する。(図21(B))

【0309】次に、図21(C)に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行う。エッチングガスにCF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層5025～5029(第1の導電層5025a～5029aと第2の導電層5025b～5029b)を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層50

25～5029で覆われない領域はさらに20～50[nm]程度エッチングされ薄くなった領域が形成される。

【0310】W膜やTa膜の $\text{CF}_4$ と $\text{Cl}_2$ の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である $\text{WF}_6$ が極端に高く、その他の $\text{WCl}_6$ 、 $\text{TaF}_5$ 、 $\text{TaCl}_5$ は同程度である。従って、 $\text{CF}_4$ と $\text{Cl}_2$ の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量の $\text{O}_2$ を添加すると $\text{CF}_4$ と $\text{O}_2$ が反応して $\text{CO}$ と $\text{F}$ になり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 $\text{O}_2$ を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0311】そして、図22(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーピング量を下げて高い加速電圧の条件としてN型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120[keV]とし、 $1 \times 10^{13} [\text{atoms}/\text{cm}^2]$ のドーピング量で行い、図21(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5026～5029を不純物元素に対するマスクとして用い、第1の導電層5026a～5029aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第3の不純物領域5032～5035が形成される。この第3の不純物領域5032～5035に添加されたリン(P)の濃度は、第1の導電層5026a～5029aのテーパー部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層5026a～5029aのテーパー部と重なる半導体層において、第1の導電層5026a～5029aのテーパー部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0312】図22(B)に示すように第3のエッチング処理を行う。エッチングガスに $\text{CHF}_3$ を用い、反応性イオンエッチング法(RIE法)を用いて行う。第3のエッチング処理により、第1の導電層5025a～5029aのテーパー部を部分的にエッチングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッチング処理によって、第3の形状の導電層5036～5040(第1の導電層5036a～5040aと第

2の導電層5036b～5040b)を形成する。このとき、ゲート絶縁膜5007においては、第3の形状の導電層5036～5040で覆われない領域はさらに20～50[nm]程度エッチングされ薄くなった領域が形成される。

【0313】第3のエッチング処理によって、第3の不純物領域5032～5035においては、第1の導電層5037a～5040aと重なる第3の不純物領域5032a～5035aと、第1の不純物領域と第3の不純物領域との間の第2の不純物領域5032b～5035bとが形成される。

【0314】そして、図22(C)に示すように、Pチャネル型TFTを形成する島状半導体層5005、5006に第1の導電型とは逆の導電型の第4の不純物領域5043～5054を形成する。第3の形状の導電層5039b、5040bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、Nチャネル型TFTを形成する島状半導体層5005、5005および配線部5036はレジストマスク5200で全面を被覆しておく。不純物領域5043～5054にはそれぞれ異なる濃度でリンが添加されているが、ジボラン( $\text{B}_2\text{H}_6$ )を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21} [\text{atoms}/\text{cm}^3]$ となるようにする。

【0315】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5037～5040がゲート電極として機能する。また、5036は島状のソース信号線として機能する。

【0316】レジストマスク5200を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラビッドサーマルアニール法(RTA法)を適用することが出来る。熱アニール法では酸素濃度が1[ppm]以下、好ましくは0.1[ppm]以下の窒素雰囲気中で400～700[°C]、代表的には500～600[°C]で行うものであり、本実施例では500[°C]で4時間の熱処理を行う。ただし、第3の形状の導電層5036～5040に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0317】さらに、3～100[%]の水素を含む雰囲気中で、300～450[°C]で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を

用いる)を行っても良い。

【0318】次いで、図23(A)に示すように、第1の層間絶縁膜5055を酸化窒化シリコン膜から100~200[nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5056を形成した後、第1の層間絶縁膜5055、第2の層間絶縁膜5056、およびゲート絶縁膜5007に対してコンタクトホールを形成し、接続配線5057~5062をパターンニング形成した後、接続配線(ドレイン配線)5062に接する画素電極5064をパターンニング形成する。なお、接続配線にはソース配線とドレイン配線とが含まれる。ソース配線とは、活性層のソース領域に接続された配線であり、ドレイン配線とはドレイン領域に接続された配線を意味する。

【0319】第2の層間絶縁膜5056としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を使用することが出来る。特に、第2の層間絶縁膜5056は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFITによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1~5[μm](さらに好ましくは2~4[μm])とすれば良い。

【0320】コンタクトホールの形成は、ドライエッチングまたはウエットエッチングを用い、N型の不純物領域5017~5019またはP型の不純物領域5043、5048、5049、5054に達するコンタクトホール、配線5036に達するコンタクトホール、電源供給線に達するコンタクトホール(図示せず)、およびゲート電極に達するコンタクトホール(図示せず)をそれぞれ形成する。

【0321】また、接続配線5057~5062として、Ti膜を100[nm]、Tiを含むアルミニウム膜を300[nm]、Ti膜150[nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターンニングしたものを用いる。勿論、他の導電膜を用いても良い。

【0322】また、本実施例では、画素電極5064としてITO膜を110[nm]の厚さに形成し、パターンニングを行った。画素電極5064を接続配線5062と接して重なるように配置することでコンタクトを取っている。また、酸化インジウムに2~20[%]の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。この画素電極5064がEL素子の陽極となる。(図23(A))

【0323】次に、図23(B)に示すように、珪素を含む絶縁膜(本実施例では酸化珪素膜)を500[nm]の厚さに形成し、画素電極5064に対応する位置に開口部を形成して、バンクとして機能する第3の層間絶縁膜5065を形成する。開口部を形成する際、ウエット

エッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないとならば段差に起因するEL層の劣化が顕著な問題となってしまうため、注意が必要である。

【0324】次に、EL層5066および陰極(MgAg電極)5067を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層5066の膜厚は80~200[nm](典型的には100~120[nm])、陰極5067の厚さは180~300[nm](典型的には200~250[nm])とすれば良い。

【0325】この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、EL層および陰極を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層および陰極を形成するのが好ましい。

【0326】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

【0327】ここではRGBに対応した3種類のEL素子を形成する方式を用いたが、白色発光のEL素子とカラーフィルタを組み合わせた方式、青色または青緑発光のEL素子と蛍光体(蛍光性の色変換層:CCM)とを組み合わせた方式、陰極(対向電極)に透明電極を利用してRGBに対応したEL素子を重ねる方式などを用いても良い。

【0328】なお、EL層5066としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる4層構造をEL層とすれば良い。

【0329】次に陰極5067を形成する。なお本実施例では陰極5067としてMgAgを用いたが、本発明はこれに限定されない。陰極5067として他の公知の材料を用いても良い。

【0330】最後に、窒化珪素膜でなるパッシベーション膜5068を300[nm]の厚さに形成する。パッシベーション膜5068を形成しておくことで、EL層5066を水分等から保護することができ、EL素子の信頼性をさらに高めることが出来る。なおパッシベーション膜5068は必ずしも設ける必要はない。

【0331】こうして図23(B)に示すような構造の

発光装置が完成する。なお、本実施例における発光装置の作成工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるTa、Wによってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料であるAlによってゲート信号線を形成しているが、異なる材料を用いても良い。

【0332】ところで、本実施例の発光装置は、画素部だけでなく駆動回路にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を10(MHz)以上にすることが可能である。

【0333】なお、実際には図23(B)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりするとEL素子の信頼性が向上する。

【0334】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット:FPC)を取り付ける。

【0335】また、本実施例で示す工程に従えば、発光装置の作製に必要なフォトリソマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【0336】本実施例は、実施例1~8と自由に組み合わせて実施することが可能である。

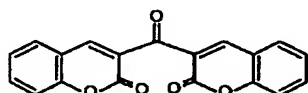
【0337】(実施例10)本発明において、三重項励起子からの燐光を発光に利用できるEL材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、EL素子の低消費電力化、長寿命化、および軽量化が可能になる。

【0338】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo, 1991) p.437.)

【0339】上記の論文により報告されたEL材料(クマリン色素)の分子式を以下に示す。

【0340】

【化1】

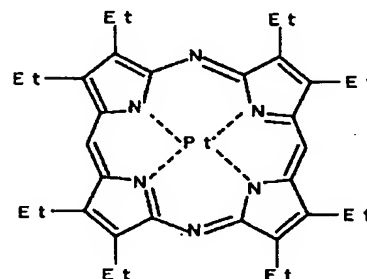


【0341】(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

【0342】上記の論文により報告されたEL材料(Pt錯体)の分子式を以下に示す。

【0343】

【化2】

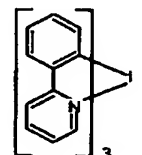


【0344】(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.Tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

【0345】上記の論文により報告されたEL材料(Ir錯体)の分子式を以下に示す。

【0346】

【化3】



【0347】以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3~4倍の高い外部発光量子効率の実現が可能となる。

【0348】なお、本実施例の構成は、実施例1~実施例9のいずれの構成とも自由に組み合わせて実施することが可能である。

【0349】(実施例11)本実施例では、本発明の発光装置に用いられるTFTとして、活性層に有機半導体を用いた場合について説明する。なお、以下、活性層に有機半導体を用いたTFTを、有機TFTと呼ぶ。

【0350】図27(A)に、プレーナー型の有機TFTの断面図を示す。基板8001上にゲート電極8002が形成されている。そしてゲート電極8002を覆って、基板8001上にゲート絶縁膜8003が形成されている。また、ゲート絶縁膜8003上にソース電極8005及びドレイン電極8006が形成されている。さらに、ソース電極8005及びドレイン電極8006を覆って、ゲート絶縁膜8003上に有機半導体からなる



膜(有機半導体膜)8004が形成されている。

【0351】図27(B)に、逆スタガー型の有機TFTの断面図を示す。基板8101上にゲート電極8102が形成されている。そしてゲート電極8102を覆って、基板8101上にゲート絶縁膜8103が形成されている。また、ゲート絶縁膜8103上に有機半導体膜8104が形成されている。さらに、有機半導体膜8104上にソース電極8105及びドレイン電極8106が形成されている。

【0352】図27(C)に、スタガー型の有機TFTの断面図を示す。基板8201上にソース電極8205及びドレイン電極8106が形成されている。そしてソース電極8205及びドレイン電極8106を覆って、基板8201上に有機半導体膜8204が形成されている。また、有機半導体膜8204上にゲート絶縁膜8203が形成されている。さらに、ゲート絶縁膜8203上にゲート電極8202が形成されている。

【0353】有機半導体は高分子系と低分子系に分類される。高分子系の代表的な材料は、ポリチオフェン、ポリアセチレン、ポリ(N-メチルピロール)、ポリ(3-アルキルチオフェン)、ポリアリレンビニレン等が挙げられる。

【0354】ポリチオフェンを有する有機半導体膜は、電界重合法または真空蒸着法で形成することができる。ポリアセチレンを有する有機半導体膜は、化学重合法または塗布法で形成することができる。ポリ(N-メチルピロール)を有する有機半導体膜は、化学重合法で形成することができる。ポリ(3-アルキルチオフェン)を有する有機半導体膜は、塗布法またはLB法で形成することができる。ポリアリレンビニレンを有する有機半導体膜は、塗布法で形成することができる。

【0355】また、低分子系の代表的な材料は、クォータチオフェン、ジメチルクォータチオフェン、ジフタロシアニン、アントラセン、テトラセン等が挙げられる。これら低分子系の材料を用いた有機半導体膜は、主に、蒸着法や、溶剤を用いたキャストによって形成することができる。

【0356】本実施例の構成は、実施例1~10の構成と自由に組み合わせて実施することができる。

【0357】(実施例12)EL素子を用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【0358】本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンボ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備

えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置)などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図24に示す。

【0359】図24(A)はEL表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の発光装置は表示部2003に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、EL表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0360】図24(B)はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明の発光装置は表示部2102に用いることができる。

【0361】図24(C)はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の発光装置は表示部2203に用いることができる。

【0362】図24(D)はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の発光装置は表示部2302に用いることができる。

【0363】図24(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体(DVD等)読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明の発光装置はこれら表示部A、B2403、2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0364】図24(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体2501、表示部2502、アーム部2503を含む。本発明の発光装置は表示部2502に用いることができる。

【0365】図24(G)はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明の発光装置は表示部260



2に用いることができる。

【0366】ここで図24(H)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の発光装置は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0367】なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0368】また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0369】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0370】以上のように、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～11に示したいずれの構成の発光装置を用いても良い。

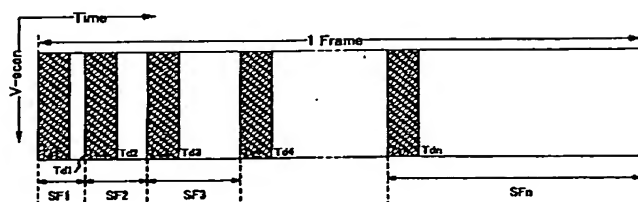
【0371】

【発明の効果】

【0372】上述した構成によって、本発明の発光装置は温度変化に左右されずに一定の輝度を得ることができる。また、カラー表示において、各色毎に異なるEL材料を有するEL素子を設けた場合でも、温度によって各色のEL素子の輝度がバラバラに変化して所望の色が得られないということを防ぐことができる。

【図面の簡単な説明】

【図5】



【図1】 本発明の発光装置の画素の回路図。

【図2】 本発明の発光装置の上面ブロック図。

【図3】 書き込み用ゲート信号線と表示用ゲート信号線とに入力される信号のタイミングチャート。

【図4】 駆動における画素の概略図。

【図5】 書き込み期間と表示期間の出現するタイミングを示す図。

【図6】 書き込み用ゲート信号線と表示用ゲート信号線とに入力される信号のタイミングチャート。

【図7】 書き込み用ゲート信号線と表示用ゲート信号線とに入力される信号のタイミングチャート。

【図8】 駆動における画素の概略図。

【図9】 書き込み期間と表示期間と非表示期間の出現するタイミングを示す図。

【図10】 書き込み用ゲート信号線と表示用ゲート信号線とに入力される信号のタイミングチャート。

【図11】 書き込み用ゲート信号線と表示用ゲート信号線とに入力される信号のタイミングチャート。

【図12】 書き込み用ゲート信号線と表示用ゲート信号線とに入力される信号のタイミングチャート。

【図13】 書き込み期間と表示期間と非表示期間の出現するタイミングを示す図。

【図14】 書き込み期間と表示期間と非表示期間の出現するタイミングを示す図。

【図15】 書き込み期間と表示期間と非表示期間の出現するタイミングを示す図。

【図16】 ソース信号線駆動回路のブロック図。

【図17】 ソース信号線駆動回路の詳細図。

【図18】 電流設定回路C1の回路図。

【図19】 ゲート信号線駆動回路のブロック図

【図20】 本発明の発光装置の画素の上面図。

【図21】 本発明の発光装置の作製方法を示す図。

【図22】 本発明の発光装置の作製方法を示す図。

【図23】 本発明の発光装置の作製方法を示す図。

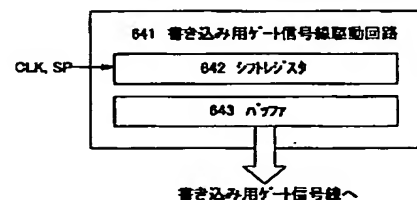
【図24】 本発明の発光装置を用いた電子機器の図。

【図25】 一般的な発光装置の画素の回路図。

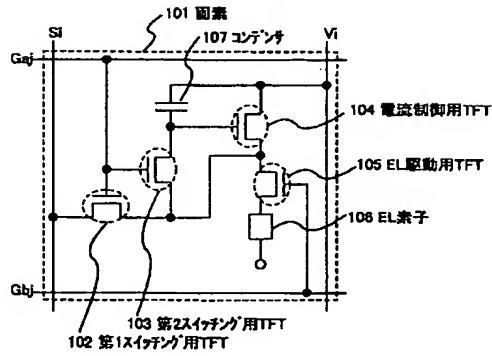
【図26】 EL素子の電圧電流特性を示す図。

【図27】 有機半導体を用いたTFETの断面図。

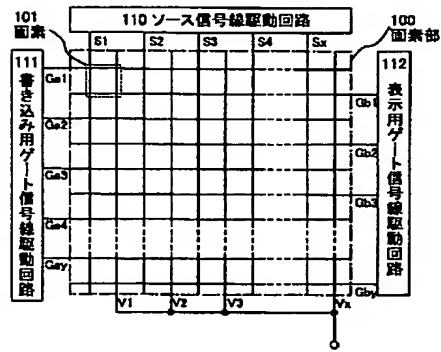
【図19】



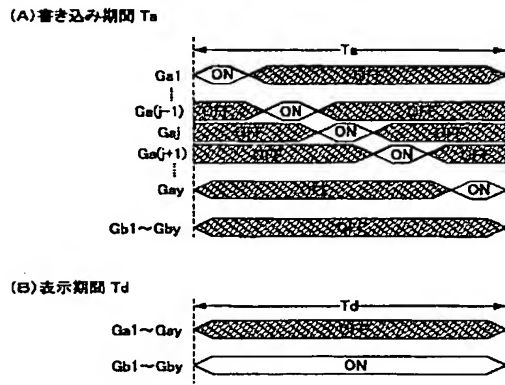
【図1】



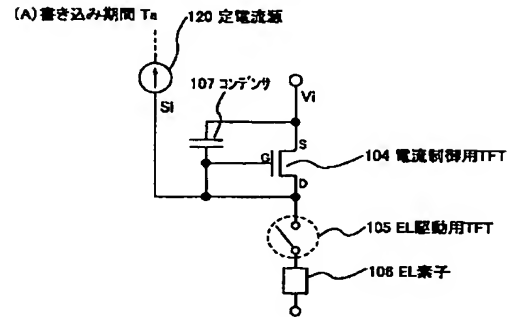
【図2】



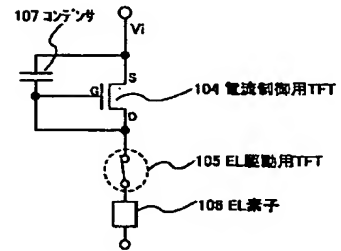
【図3】



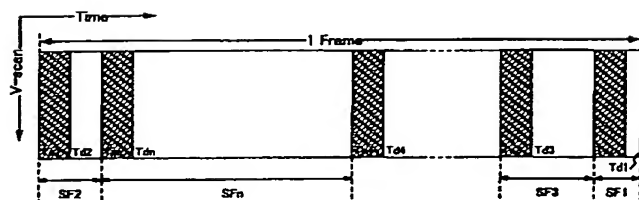
【図4】



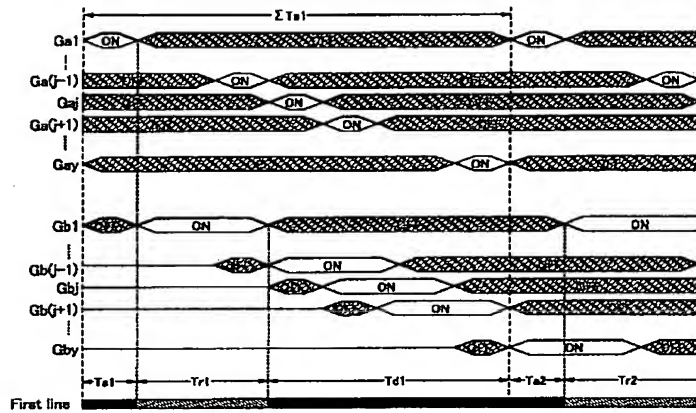
(B) 表示期間 Td



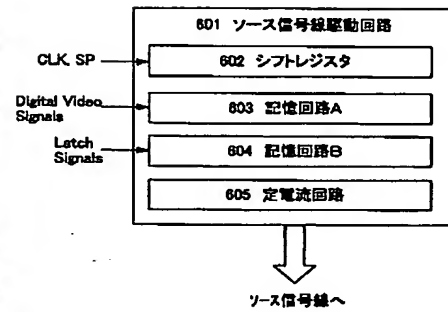
【図10】



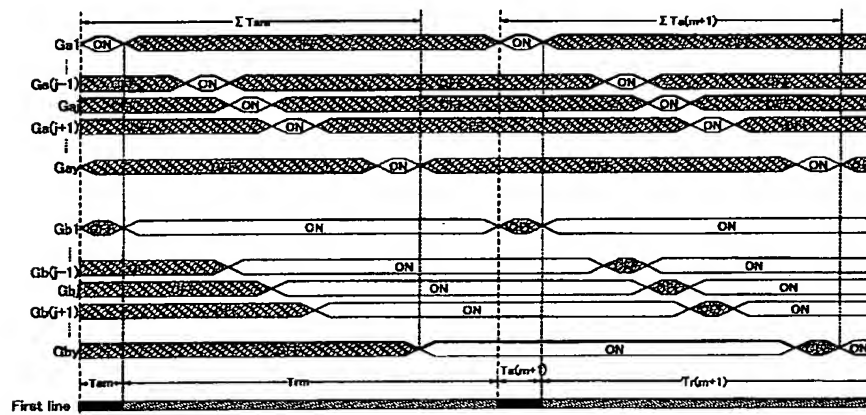
【図6】



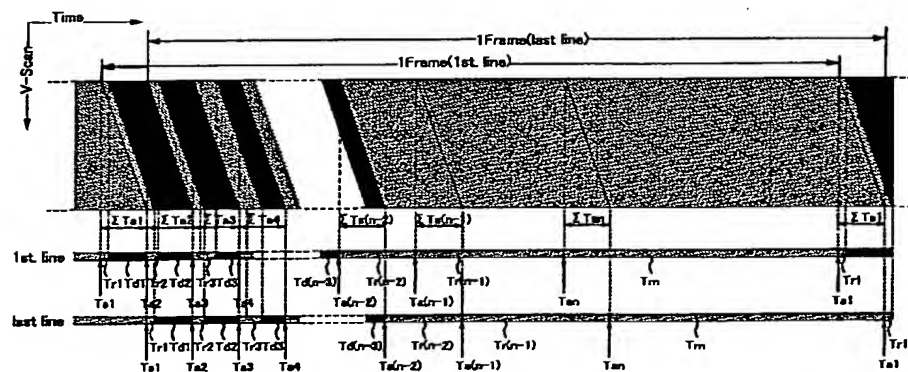
【図16】



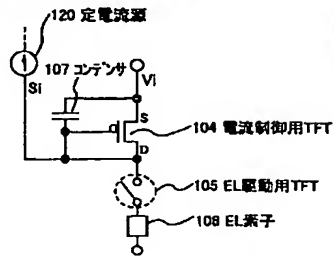
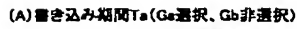
【図7】



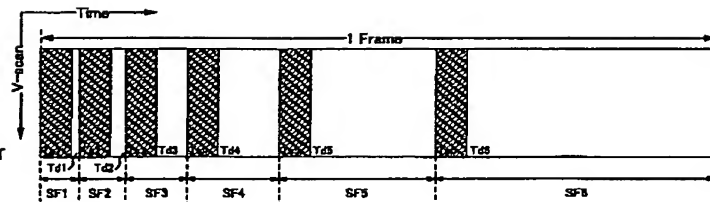
【図9】



【図8】

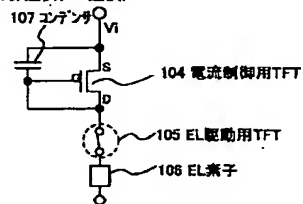


【図 1 1】

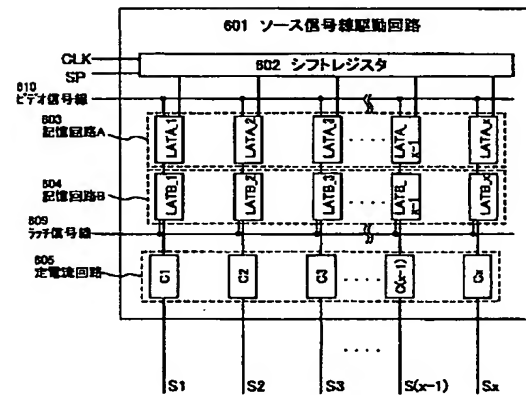
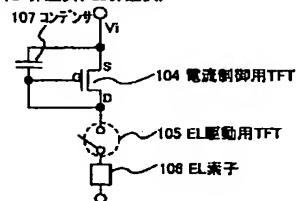


【図17】

(B)表示期間Tr(Ga非選択、Gb選択)

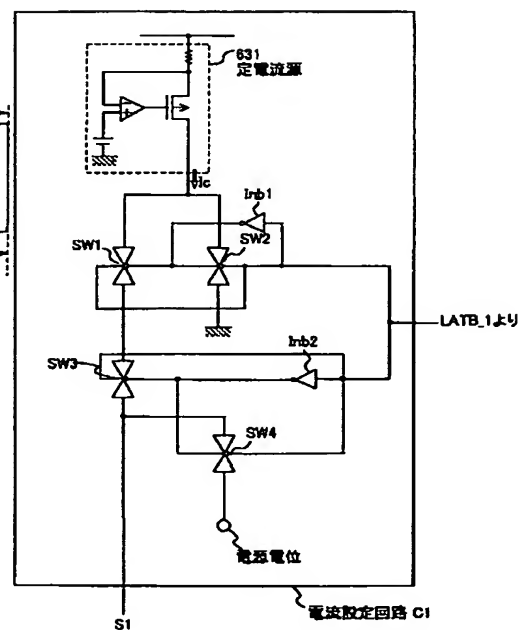
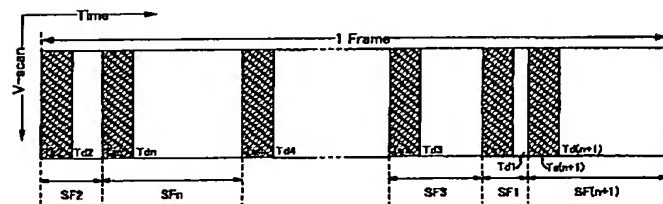


(C) 非表示期間  $T_0$  ( $G_a$  非選択、 $G_b$  非選択)



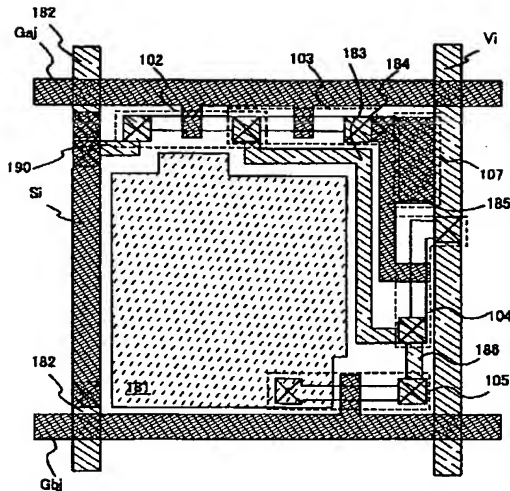
【図18】

【图 12】

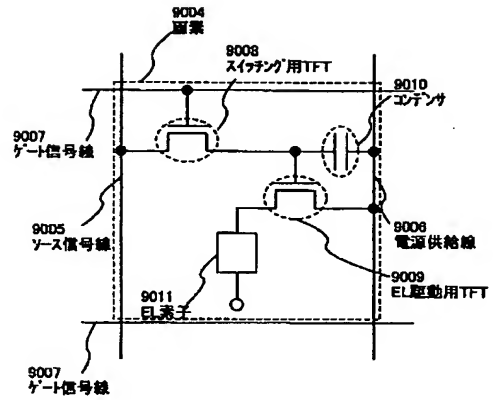




【図20】

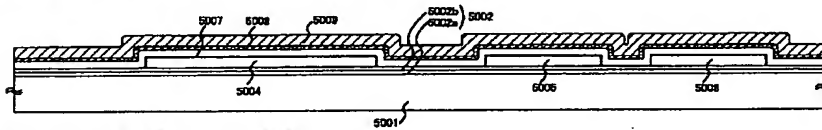


【図25】

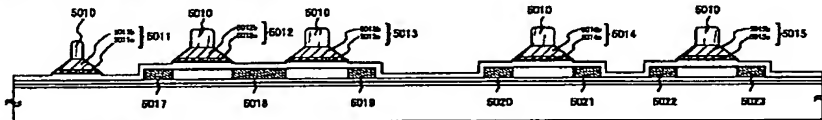


【図21】

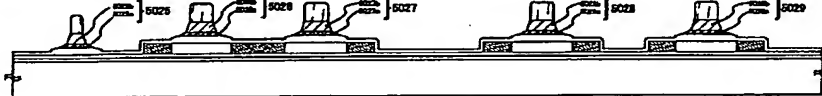
(A) 島状半導体層、ゲート絶縁膜、ゲート電極用第1・第2の導電膜の形成



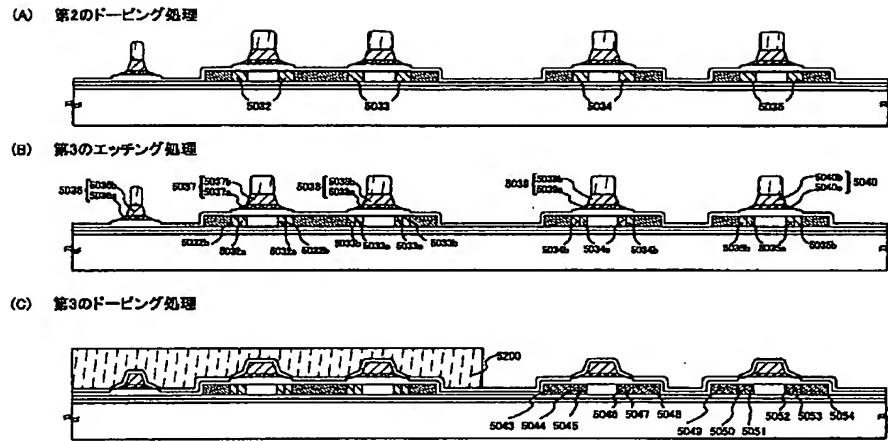
(B) 第1のエッチング処理、第1のドーピング処理



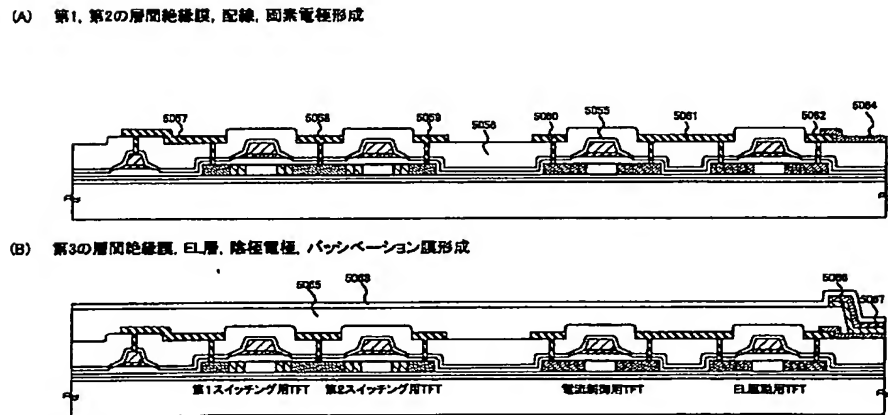
(C) 第2のエッチング処理



【図22】

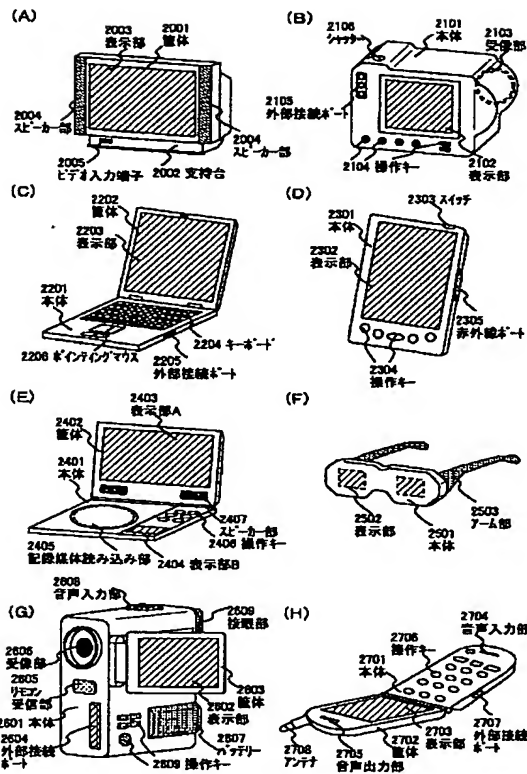


【図23】

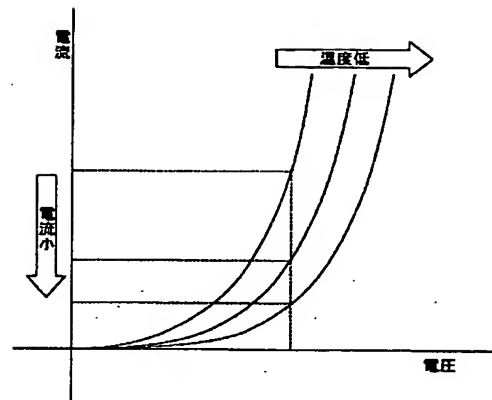




【図24】

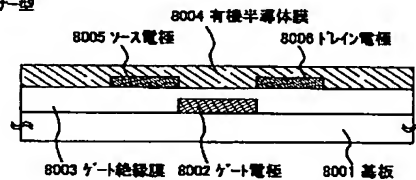


【図26】

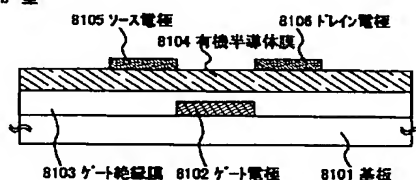


【図27】

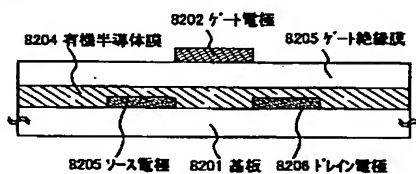
(A)プレー型



(B)逆スタカ型



(C)スタカ型



フロントページの続き

(51)Int. Cl.<sup>7</sup>

G 0 9 G 3/20

識別記号

6 4 1

F I

G 0 9 G 3/20

ナット (参考)

6 4 1 D

6 4 1 E

6 7 0 L

3 3 1 E

H 0 1 L 21/8238

27/08

6 7 0

3 3 1

H 0 1 L 27/08

H 0 5 B 33/08

(書4) 102-221936 (P2002-■.036

27/092  
29/786  
H O 5 B 33/08  
33/14

33/14 A  
H O 1 L 29/78 6 1 4  
27/08 3 2 1 E  
3 2 1 L

F ターム(参考) 3K007 AB02 BA06 CB01 DA01 DB03  
EB00 GA04  
5C080 AA06 BB05 DD03 DD20 EE28  
FF11 JJ03 JJ04 JJ06  
5C094 AA07 AA54 AA55 AA56 BA03  
BA27 CA19 CA25 DA09 DA13  
DB01 DB04 EA04 EA05 EA10  
FA01 FB01 FB12 FB14 FB15  
FB20 GA10 GB10  
5F048 AB10 AC04 AC10 BA06 BB01  
BB09 BB12 BC06 BF02 BF07  
5F110 AA23 AA30 BB01 BB13 CC02  
CC03 CC05 CC07 DD02 DD13  
DD14 DD15 DD17 EE01 EE02  
EE03 EE04 EE06 EE09 EE14  
EE23 EE44 FF02 FF04 FF28  
FF30 FF36 GG01 GG02 GG05  
GG13 GG25 HJ01 HJ04 HJ12  
HJ13 HJ23 HL04 HL06 HL11  
HL23 HM15 NN02 NN03 NN04  
NN22 NN24 NN27 NN72 PP03  
QQ11 QQ24 QQ25

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-221936

(43)Date of publication of application : 09.08.2002

(51)Int.Cl.	G09G 3/30
	G09F 9/30
	G09G 3/20
	H01L 21/8238
	H01L 27/08
	H01L 27/092
	H01L 29/786
	H05B 33/08
	H05B 33/14

(21)Application number : 2001-316145      (71)Applicant : SEMICONDUCTOR ENERGY  
LAB CO LTD

(22)Date of filing : 15.10.2001 (72)Inventor : KOYAMA JUN

(30)Priority

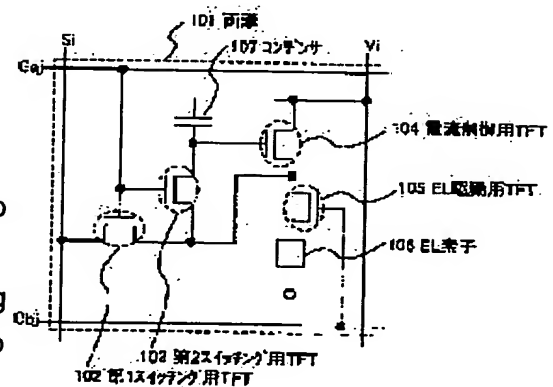
Priority number : 2000323543      Priority date : 24.10.2000      Priority country : JP  
2000358274      24.11.2000      JP

## (54) LIGHT EMISSION DEVICE AND ITS DRIVING METHOD

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide the driving method of a display device capable of obtaining constant luminance without being influenced by a change in the temperature.

**SOLUTION:** In this driving method, the change of luminance of an EL element due to temperature is prevented not by controlling a voltage to be applied to the EL element but by controlling a current flowing through the EL element. Concretely, a TFT controlling the current flowing through the EL element is made to be operated in the saturation region. Then, the current value  $I_{DS}$  of the TFT is not almost changed by a  $V_{DS}$  but it is decided only by a  $V_{GS}$ . Thus, when the value of the  $V_{GS}$  is determined so that the current value  $I_{DS}$  becomes constant, the magnitude of the current flowing through the EL element becomes constant. Since the luminance of the element is roughly directly



proportional to the current flowing through the element, the change of the luminance of the element due to the temperature can be prevented.

\* NOTICES \*

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1]Are a pixel characterized by comprising the following a luminescent device which carries out two or more owners, and said 3rd TFT and said 4th TFT, A gate electrode is connected and the source region and a drain area of said 3rd TFT, One side is connected to said source signal line, and another side is connected to a drain area of said 1st TFT, and the source region and a drain area of said 4th TFT, One side is connected to a drain area of said 1st TFT, and another side is connected to a gate electrode of said 1st TFT, A luminescent device, wherein the source region of said 1st TFT is connected to said power supply line, a drain area is connected to the source region of said 2nd TFT and a drain area of said 2nd TFT is connected to either of the two electrodes which said EL element has.

The 1st TFT.

The 2nd TFT.

The 3rd TFT.

The 4th TFT, an EL element, a source signal line, and a power supply line.

[Claim 2]Are a pixel characterized by comprising the following a luminescent device which carries out two or more owners, and said 3rd TFT and said 4th TFT, It is connected to said 1st gate signal line by both gate electrodes, and the source region and a drain area of said 3rd TFT, One side is connected to said source signal line, and another side is connected to a drain area of said 1st TFT, and the source region and a drain area of said 4th TFT, One side is connected to a drain area of said 1st TFT, and another side is connected to a gate electrode of said 1st TFT, The source region of said 1st TFT is connected to said power supply line, and a drain area is connected to the source region of said 2nd TFT, and a drain area of said 2nd TFT, A luminescent device, wherein it is connected to either of the two electrodes which said EL element has and a gate electrode of said 2nd TFT is connected to said 2nd gate signal line.

The 1st TFT.

The 2nd TFT.

The 3rd TFT.

The 4th TFT, an EL element, a source signal line, the 1st gate signal line, the 2nd gate signal line, and a power supply line.

[Claim 3] A luminescent device characterized by the polarity of said 3rd TFT and said 4th TFT being the same in claim 1 or claim 2.

[Claim 4] In [ are a drive method of a luminescent device which carries out two or more owners of the pixel characterized by comprising the following, and said TFT is operating in a saturation region, and ] the 1st period, In [ a size of current which flows into a channel forming region of said TFT is controlled by a video signal, and  $V_{GS}$  of said TFT is controlled by said current, and ] the 2nd period, A drive method of a luminescent device, wherein  $V_{GS}$  of said TFT is held and predetermined current flows into said EL element via said TFT.  
TFT.

An EL element.

[Claim 5] In [ are a drive method of a luminescent device which carries out two or more owners of the pixel characterized by comprising the following, and said TFT is operating in a saturation region, and ] the 1st period, In [ a size of current which flows into a channel forming region of said TFT is controlled by a video signal, and  $V_{GS}$  of said TFT is controlled by said current, and ] the 2nd period, A drive method of a luminescent device with which current which flows into a channel forming region of said TFT by said  $V_{GS}$  is characterized by flowing into said EL element.  
TFT.

TFT.

An EL element.

[Claim 6] In [ are a drive method of a luminescent device which carries out two or more owners of the pixel characterized by comprising the following, and said 1st TFT is operating in a saturation region, and ] the 1st period, In [ a size of current which flows into a channel forming region of said 1st TFT is controlled by a video signal, and  $V_{GS}$  of said 1st TFT is controlled by said current and ] the 2nd period, A drive method of a luminescent device, wherein  $V_{GS}$  of said 1st TFT is held and predetermined current flows into said EL element via said 1st TFT and said 2nd TFT.

The 1st TFT.

The 2nd TFT.

An EL element.

[Claim 7] In [ are a drive method of a luminescent device which carries out two or more owners of the pixel characterized by comprising the following, and said 1st TFT is operating

in a saturation region, and ] the 1st period, In [ a size of current which flows into a channel forming region of said 1st TFT is controlled by a video signal, and  $V_{GS}$  of said 1st TFT is controlled by said current and ] the 2nd period, A drive method of a luminescent device, wherein current which flows into a channel forming region of said 1st TFT flows into said EL element via said 2nd TFT by said  $V_{GS}$ .

The 1st TFT.

The 2nd TFT.

An EL element.

[Claim 8]In [ are a drive method of a luminescent device which carries out two or more owners of the pixel characterized by comprising the following, and said TFT is operating in a saturation region, and ] the 1st period, In [ a size of current which flows into a channel forming region of said TFT is controlled by a video signal, and  $V_{GS}$  of said TFT is controlled by said current, and ] the 2nd period, A drive method of a luminescent device, wherein  $V_{GS}$  of said TFT is held, and predetermined current flows into said EL element via said TFT and current does not flow into said EL element in the 3rd period.

TFT.

An EL element.

[Claim 9]In [ are a drive method of a luminescent device which carries out two or more owners of the pixel characterized by comprising the following, and said TFT is operating in a saturation region, and ] the 1st period, In [ a size of current which flows into a channel forming region of said TFT is controlled by a video signal, and  $V_{GS}$  of said TFT is controlled by said current, and ] the 2nd period, A drive method of a luminescent device, wherein current which flows into a channel forming region of said TFT flows into said EL element and current does not flow into said EL element in the 3rd period by said  $V_{GS}$ .

TFT.

An EL element.

[Claim 10]In [ are a drive method of a luminescent device which carries out two or more owners of the pixel characterized by comprising the following, and said 1st TFT is operating in a saturation region, and ] the 1st period, In [ a size of current which flows into a channel forming region of said 1st TFT is controlled by a video signal, and  $V_{GS}$  of said 1st TFT is controlled by said current and ] the 2nd period, A drive method of a luminescent device, wherein  $V_{GS}$  of said 1st TFT is held, and predetermined current flows into said EL element via said 1st TFT and said 2nd TFT and said 2nd TFT is come by off in the 3rd period.

The 1st TFT.

The 2nd TFT.



An EL element.

[Claim 11]In [ are a drive method of a luminescent device which carries out two or more owners of the pixel characterized by comprising the following, and ] the 1st period, In [ a size of current which flows into a channel forming region of said 1st TFT is controlled by a video signal, and  $V_{GS}$  of said 1st TFT is controlled by said current and ] the 2nd period, A drive method of a luminescent device, wherein current which flows into a channel forming region of said 1st TFT flows into said EL element via said 2nd TFT and said 2nd TFT is come by off in the 3rd period by said  $V_{GS}$ .

The 1st TFT.

The 2nd TFT.

An EL element.

[Claim 12]In [ are a drive method of a luminescent device which carries out two or more owners of the pixel characterized by comprising the following, and ] the 1st period, A gate electrode and a drain area of said 1st TFT are connected by said 3rd TFT and said 4th TFT, And in [ a size of current which flows into a channel forming region of said 1st TFT is controlled by a video signal, and  $V_{GS}$  of said 1st TFT is controlled by said current, and ] the 2nd period, A drive method of a luminescent device, wherein  $V_{GS}$  of said 1st TFT is held and predetermined current flows into said EL element via said 1st TFT and the 2nd TFT.

The 1st TFT.

The 2nd TFT.

The 3rd TFT.

The 4th TFT and an EL element.

[Claim 13]In [ are a drive method of a luminescent device which carries out two or more owners of the pixel characterized by comprising the following, and ] the 1st period, A gate electrode and a drain area of said 1st TFT are connected by said 3rd TFT and said 4th TFT, And in [ a size of current which flows into a channel forming region of said 1st TFT is controlled by a video signal, and  $V_{GS}$  of said 1st TFT is controlled by said current, and ] the 2nd period, A drive method of a luminescent device, wherein current which flows into a channel forming region of said 1st TFT flows into said EL element via said 2nd TFT by said  $V_{GS}$ .

The 1st TFT.

The 2nd TFT.

The 3rd TFT.

The 4th TFT and an EL element.

[Claim 14]In [ are a drive method of a luminescent device which carries out two or more owners of the pixel characterized by comprising the following, and fixed potential is given to the source region of said 1st TFT, and ] the 1st period, In [ a video signal is inputted into a gate electrode and a drain area of said 1st TFT via said 3rd TFT and said 4th TFT, and ] the 2nd period, A drive method of a luminescent device, wherein predetermined current flows into said EL element via said 1st TFT and said 2nd TFT with potential of said video signal.

The 1st TFT.

The 2nd TFT.

The 3rd TFT.

The 4th TFT and an EL element.

[Claim 15]In [ are a drive method of a luminescent device which carries out two or more owners of the pixel characterized by comprising the following, and ] the 1st period, A gate electrode and a drain area of said 1st TFT are connected by said 3rd TFT and said 4th TFT, And in [ a size of current which flows into a channel forming region of said 1st TFT is controlled by a video signal, and  $V_{GS}$  of said 1st TFT is controlled by said current and ] the 2nd period, A drive method of a luminescent device, wherein  $V_{GS}$  of said 1st TFT is held, and predetermined current flows into said EL element via said 1st TFT and the 2nd TFT and said 2nd TFT is come by off in the 3rd period.

The 1st TFT.

The 2nd TFT.

The 3rd TFT.

The 4th TFT and an EL element.

[Claim 16]In [ are a drive method of a luminescent device which carries out two or more owners of the pixel characterized by comprising the following, and ] the 1st period, A gate electrode and a drain area of said 1st TFT are connected by said 3rd TFT and said 4th TFT, And in [ a size of current which flows into a channel forming region of said 1st TFT is controlled by a video signal, and  $V_{GS}$  of said 1st TFT is controlled by said current, and ] the 2nd period, A drive method of a luminescent device, wherein current which flows into a channel forming region of said 1st TFT flows into said EL element via said 2nd TFT and said 2nd TFT is come by off in the 3rd period by said  $V_{GS}$ .

The 1st TFT.

The 2nd TFT.

The 3rd TFT.

The 4th TFT and an EL element.

[Claim 17]In [ are a drive method of a luminescent device which carries out two or more

owners of the pixel characterized by comprising the following, and fixed potential is given to the source region of said 1st TFT, and ] the 1st period, In [ a video signal is inputted into a gate electrode and a drain area of said 1st TFT via said 3rd TFT and said 4th TFT, and ] the 2nd period, A drive method of a luminescent device, wherein predetermined current flows into said EL element via said 1st TFT and said 2nd TFT and said 2nd TFT is come by off in the 3rd period with potential of said video signal.

The 1st TFT.

The 2nd TFT.

The 3rd TFT.

The 4th TFT and an EL element.

[Claim 18]A drive method of a luminescent device characterized by the polarity of said 3rd TFT and said 4th TFT being the same in any 1 paragraph of claim 12 thru/or claim 17.

---

[Translation done.]

\* NOTICES \*

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the EL panel which enclosed the EL element formed on the substrate between this board and the cover material, and its drive method. It is related with the EL module which mounted IC in this EL panel, and its drive method. In this specification, an EL panel and an EL module are named a luminescent device generically. This invention relates to the electronic equipment using the luminescent device which displays with this drive method further.

[0002]

[Description of the Prior Art]Since an EL element emits light itself, its visibility is high, a required back light is not needed with a liquid crystal display (LCD), it is the best for slimming down, and there is no restriction also in an angle of visibility. Therefore, the luminescent device using an EL element attracts attention in recent years as a display which replaces CRT and LCD.

[0003]An EL element has a layer (it is hereafter described as an EL layer) containing the organic compound in which the luminescence (Electro Luminescence) generated by adding an electric field is obtained, the anode, and the negative pole. Although the luminescence in an organic compound has luminescence (phosphorescence) at the time of returning from luminescence at the time of returning from a singlet excitation state to a ground state (fluorescence), and a triplet excitation state to a ground state, which luminescence may be used in the luminescent device of this invention.

[0004]In this specification, all the layers provided between the anode and the negative pole are defined as an EL layer. A luminous layer, a hole injection layer, an electronic injection layer, an electron hole transporting bed, an electron transport layer, etc. are concretely contained in an EL layer. The EL element has fundamentally the structure where the anode / luminous layer / negative pole was laminated in order.

In addition to this structure, it may have the structure laminated in order, such as the anode / hole injection layer / luminous layer / negative pole, the anode / hole injection

layer / luminous layer / electron transport layer / negative pole.

[0005]In this specification, if an EL element drives that an EL element emits light, it will be called. In this specification, the light emitting device formed by the anode, an EL layer, and the negative pole is called an EL element.

[0006]By the way, the drive method of the luminescent device which has an EL element mainly has an analog drive and a digital drive. Especially, since it is possible to use the digital video signal (digital video signal) which has picture information as it is, without changing into an analog, and to display a picture corresponding to digitization of a broadcasting electric-wave, promising \*\* of the digital drive is carried out.

[0007]As a way the voltage of the binary which a digital video signal has performs a gradation display, the surface integral rate driving method and the time-sharing driving method are mentioned.

[0008]The surface integral rate driving method is the driving method for performing a gradation display by dividing 1 pixel into two or more sub-picture elements, and driving each sub-picture element based on a digital video signal independently. Since 1 pixel must be divided into two or more sub-picture elements and each sub-picture element is driven further independently, this surface integral rate driving method needs to provide the picture element electrode corresponding to each sub-picture element, respectively. Therefore, the inconvenience that the structure of a pixel becomes complicated arises.

[0009]On the other hand, the time-sharing driving method is the driving method for performing a gradation display by controlling the length which a pixel turns on. Specifically, 1 frame period is divided during [ two or more ] the subframe. And it is chosen by that each pixel lights up with a digital video signal in each subframe period whether lends and there is. The gradation of this pixel is called for in integrating the length of the subframe period which the pixel turned on among all the subframe periods which appear throughout [ one frame term ].

[0010]Generally, since organic electroluminescence material has quick speed of response compared with a liquid crystal etc., the EL element is suitable for the time-sharing drive.

[0011]

[Problem(s) to be Solved by the Invention]Below, the composition of the pixel of the common luminescent device driven by time-sharing drive is explained using drawing 25.

[0012]The circuit diagram of the pixel 9004 of a common luminescent device is shown in drawing 25. The pixel 9004 has one of the source signal lines 9005, one of the power supply lines 9006, and one of the gate signal lines 9007. The pixel 9004 has TFT9008 for switching, and TFT9009 for EL drives. The gate electrode of TFT9008 for switching is connected to the gate signal line 9007. As for the source region and the drain area of TFT9008 for switching, one side is connected to the capacitor 9010 which the gate electrode and each pixel of TFT9009 for EL drives have in the source signal line 9005 in another side, respectively.

[0013]When TFT9008 for switching is in a non selection state (OFF state), the capacitor 9010 is formed in order to hold the gate voltage (potential difference between a gate electrode and the source region) of TFT9009 for EL drives.

[0014]The source region of TFT9009 for EL drives is connected to the power supply line 9006, and a drain area is connected to EL element 9011. The power supply line 9006 is connected to the capacitor 9010.

[0015]EL element 9011 consists of an EL layer provided between the anode, the negative pole, and the anode and the negative pole. When the anode has connected with the drain area of TFT9009 for EL drives, the anode turns into a picture element electrode and the negative pole turns into a counterelectrode. Conversely, when the negative pole has connected with the drain area of TFT9009 for EL drives, the negative pole turns into a picture element electrode, and the anode turns into a counterelectrode.

[0016]Counter potential is given to the counterelectrode of EL element 9011. Power supply potential is given to the power supply line 9006. Power supply potential and counter potential are given by the power supply provided in external IC of the display.

[0017]Next, operation of the pixel shown in drawing 25 is explained.

[0018]With the selection signal inputted into the gate signal line 9007, TFT9008 for switching will be in the state of one, The digital signal (it is hereafter called a digital video signal) which has the picture information inputted into the source signal line 9005 is inputted into the gate electrode of TFT9009 for EL drives via TFT9008 for switching.

[0019]Switching of TFT9009 for EL drives is controlled by the information on 1 or 0 which the digital video signal inputted into the gate electrode of TFT9009 for EL drives has.

[0020]Since the potential of the power supply line 9006 is not given to the picture element electrode which EL element 9011 has when TFT9009 for EL drives is come by off, EL element 9011 does not emit light. When TFT9009 for EL drives is turned on, the potential of the power supply line 9006 is given to the picture element electrode which EL element 9011 has, and EL element 9011 emits light.

[0021]A picture is displayed by the above-mentioned operation being performed in each pixel.

[0022]However, in the luminescent device which displays by the above-mentioned operation, change of the temperature of the EL layer which an EL element has with the heat etc. which outside air temperature and the EL panel itself emit will also change the luminosity of an EL element in connection with the temperature change. Change of the volt ampere characteristic of an EL element when changing the temperature of an EL layer is shown in drawing 26. If the temperature of an EL layer becomes low, the current which flows into an EL element will become small. On the contrary, if the temperature of an EL layer becomes high, the current which flows into an EL element will become large.

[0023]As the current which flows into an EL element is small, the luminosity of an EL element becomes lower. As the current which flows into an EL element is large, the luminosity of an EL element becomes higher. Therefore, since the size of the current which

flows into an EL layer with temperature changes even when the voltage impressed to an EL element is constant, the luminosity of an EL element will also change.

[0024]The rate of change of the luminosity in a temperature change changes with EL materials. Therefore, in a colored presentation, when the EL element which has a different EL material for every color is provided, it may happen that a desired color is not acquired because the luminosity of the EL element of each color changes with temperature scatteringly.

[0025]It asked for the device of a luminescent device which can obtain fixed luminosity without being influenced by the temperature change, and a drive method for the same in view of the problem mentioned above.

[0026]

[Means for Solving the Problem]this invention person is controlling by current rather than controlling luminosity of an EL element by voltage, and considered preventing change of luminosity of an EL element by temperature.

[0027]In order to send fixed current through an EL element, TFT which controls a size of current which flows into an EL element was operated in a saturation region, and drain current of this TFT was fixed. What is necessary is just to fill the following formulas 1, in order to operate TFT in a saturation region. However,  $V_{GS}$  is the potential difference between a gate electrode and the source region,  $V_{TH}$  is a threshold and  $V_{DS}$  is the potential difference of a drain area and the source region.

[0028]

[Formula 1]  $|V_{GS} - V_{TH}| < |V_{DS}|$  [0029] $I_{DS}$  Drain current of TFT (current value which flows into a channel forming region),  $\mu$ , if a ratio of channel width  $W$  of a channel forming region to channel length  $L$  and  $V_{TH}$  are made into a threshold and  $\mu$  is made into mobility, the following formulas 2 will be realized  $[C_0 / \text{mobility of TFT and } C / W/L / \text{gate capacitance per unit area and } ]$  in a saturation region.

[0030]

[Formula 2]  $I_{DS} = \mu C_0 W/L \times (V_{GS} - V_{TH})^2 / 2$  [0031]As shown in the formula 2, in a saturation region, drain current  $I_{DS}$  hardly changes with  $V_{DS}$ , but becomes settled only by  $V_{GS}$ . Therefore, if a value of  $V_{GS}$  is set that current value  $I_{DS}$  becomes fixed, a size of current which flows into an EL element will become fixed. Since luminosity of an EL element is mostly in direct proportion to current which flows into an EL element, change of luminosity of an EL element by temperature can be prevented.

[0032]Below, composition of this invention is shown.

[0033]By this invention, the 1st TFT, the 2nd TFT, and the 3rd TFT, Are a pixel in which the 4th TFT, an EL element, a source signal line, and a power supply line were formed a luminescent device which carries out two or more owners, and said 3rd TFT and said 4th



TFT, A gate electrode is connected and the source region and a drain area of said 3rd TFT, One side is connected to said source signal line, and another side is connected to a drain area of said 1st TFT, and the source region and a drain area of said 4th TFT, One side is connected to a drain area of said 1st TFT, and another side is connected to a gate electrode of said 1st TFT, The source region of said 1st TFT is connected to said power supply line, a drain area is connected to the source region of said 2nd TFT, and a luminescent device, wherein a drain area of said 2nd TFT is connected to either of the two electrodes which said EL element has is provided.

[0034]By this invention, the 1st TFT, the 2nd TFT, and the 3rd TFT, The 4th TFT, an EL element, a source signal line, and the 1st gate signal line, Are a pixel in which the 2nd gate signal line and a power supply line were formed a luminescent device which carries out two or more owners, and said 3rd TFT and said 4th TFT, It is connected to said 1st gate signal line by both gate electrodes, and the source region and a drain area of said 3rd TFT, One side is connected to said source signal line, and another side is connected to a drain area of said 1st TFT, and the source region and a drain area of said 4th TFT, One side is connected to a drain area of said 1st TFT, and another side is connected to a gate electrode of said 1st TFT, The source region of said 1st TFT is connected to said power supply line, and a drain area is connected to the source region of said 2nd TFT, and a drain area of said 2nd TFT, It is connected to either of the two electrodes which said EL element has, and a luminescent device, wherein a gate electrode of said 2nd TFT is connected to said 2nd gate signal line is provided.

[0035]In [ are a drive method of a luminescent device which carries out two or more owners of the pixel in which TFT and an EL element were provided by this invention, and said TFT is operating in a saturation region, and ] the 1st period, In [ a size of current which flows into a channel forming region of said TFT is controlled by a video signal, and  $V_{GS}$  of said TFT is controlled by said current, and ] the 2nd period, A drive method of a luminescent device, wherein  $V_{GS}$  of said TFT is held and predetermined current flows into said EL element via said TFT is provided.

[0036]In [ are a drive method of a luminescent device which carries out two or more owners of the pixel in which TFT and an EL element were provided by this invention, and said TFT is operating in a saturation region, and ] the 1st period, In [ a size of current which flows into a channel forming region of said TFT is controlled by a video signal, and  $V_{GS}$  of said TFT is controlled by said current, and ] the 2nd period, A drive method of a luminescent device with which current which flows into a channel forming region of said TFT by said  $V_{GS}$  is characterized by flowing into said EL element is provided.

[0037]In [ are a drive method of a luminescent device which carries out two or more owners of the pixel in which the 1st TFT, the 2nd TFT, and an EL element were provided by this invention, and said 1st TFT is operating in a saturation region, and ] the 1st period, In [ a size of current which flows into a channel forming region of said 1st TFT is controlled by a

video signal, and  $V_{GS}$  of said 1st TFT is controlled by said current, and ] the 2nd period, A drive method of a luminescent device, wherein  $V_{GS}$  of said 1st TFT is held and predetermined current flows into said EL element via said 1st TFT and said 2nd TFT is provided.

[0038]In [ are a drive method of a luminescent device which carries out two or more owners of the pixel in which the 1st TFT, the 2nd TFT, and an EL element were provided by this invention, and said 1st TFT is operating in a saturation region, and ] the 1st period, In [ a size of current which flows into a channel forming region of said 1st TFT is controlled by a video signal, and  $V_{GS}$  of said 1st TFT is controlled by said current, and ] the 2nd period, A drive method of a luminescent device with which current which flows into a channel forming region of said 1st TFT by said  $V_{GS}$  is characterized by flowing into said EL element via said 2nd TFT is provided.

[0039]In [ are a drive method of a luminescent device which carries out two or more owners of the pixel in which TFT and an EL element were provided by this invention, and said TFT is operating in a saturation region, and ] the 1st period, In [ a size of current which flows into a channel forming region of said TFT is controlled by a video signal, and  $V_{GS}$  of said TFT is controlled by said current, and ] the 2nd period,  $V_{GS}$  of said TFT is held, and predetermined current flows into said EL element via said TFT, and a drive method of a luminescent device, wherein current does not flow into said EL element is provided in the 3rd period.

[0040]In [ are a drive method of a luminescent device which carries out two or more owners of the pixel in which TFT and an EL element were provided by this invention, and said TFT is operating in a saturation region, and ] the 1st period, In [ a size of current which flows into a channel forming region of said TFT is controlled by a video signal, and  $V_{GS}$  of said TFT is controlled by said current, and ] the 2nd period, A drive method of a luminescent device, wherein current which flows into a channel forming region of said TFT flows into said EL element and current does not flow into said EL element in the 3rd period by said  $V_{GS}$  is provided.

[0041]In [ are a drive method of a luminescent device which carries out two or more owners of the pixel in which the 1st TFT, the 2nd TFT, and an EL element were provided by this invention, and said 1st TFT is operating in a saturation region, and ] the 1st period, In [ a size of current which flows into a channel forming region of said 1st TFT is controlled by a video signal, and  $V_{GS}$  of said 1st TFT is controlled by said current, and ] the 2nd period,  $V_{GS}$  of said 1st TFT is held, and predetermined current flows into said EL element via said 1st TFT and said 2nd TFT, and a drive method of a luminescent device, wherein said 2nd TFT is come by off is provided in the 3rd period.

[0042]In [ are a drive method of a luminescent device which carries out two or more owners of the pixel in which the 1st TFT, the 2nd TFT, and an EL element were provided by this

invention, and said 1st TFT is operating in a saturation region, and ] the 1st period, In [ a size of current which flows into a channel forming region of said 1st TFT is controlled by a video signal, and  $V_{GS}$  of said 1st TFT is controlled by said current, and ] the 2nd period, Current which flows into a channel forming region of said 1st TFT by said  $V_{GS}$  flows into said EL element via said 2nd TFT, and a drive method of a luminescent device, wherein said 2nd TFT is come by off is provided in the 3rd period.

[0043]In [ are a drive method of a luminescent device which carries out two or more owners of the pixel in which the 1st TFT, the 2nd TFT, the 3rd TFT, the 4th TFT, and an EL element were provided by this invention, and ] the 1st period, A gate electrode and a drain area of said 1st TFT are connected by said 3rd TFT and said 4th TFT, And in [ a size of current which flows into a channel forming region of said 1st TFT is controlled by a video signal, and  $V_{GS}$  of said 1st TFT is controlled by said current, and ] the 2nd period, A drive method of a luminescent device, wherein  $V_{GS}$  of said 1st TFT is held and predetermined current flows into said EL element via said 1st TFT is provided.

[0044]In [ are a drive method of a luminescent device which carries out two or more owners of the pixel in which the 1st TFT, the 2nd TFT, the 3rd TFT, the 4th TFT, and an EL element were provided by this invention and ] the 1st period, A gate electrode and a drain area of said 1st TFT are connected by said 3rd TFT and said 4th TFT, And in [ a size of current which flows into a channel forming region of said 1st TFT is controlled by a video signal, and  $V_{GS}$  of said 1st TFT is controlled by said current, and ] the 2nd period, A drive method of a luminescent device with which current which flows into a channel forming region of said 1st TFT by said  $V_{GS}$  is characterized by flowing into said EL element via said 2nd TFT is provided.

[0045]By this invention, the 1st TFT, the 2nd TFT, and the 3rd TFT, In [ are a drive method of a luminescent device which carries out two or more owners of the pixel in which the 4th TFT and an EL element were provided, and fixed potential is given to the source region of said 1st TFT and ] the 1st period, In [ a video signal is inputted into a gate electrode and a drain area of said 1st TFT via said 3rd TFT and said 4th TFT, and ] the 2nd period, A drive method of a luminescent device, wherein predetermined current flows into said EL element via said 1st TFT and said 2nd TFT with potential of said video signal is provided.

[0046]In [ are a drive method of a luminescent device which carries out two or more owners of the pixel in which the 1st TFT, the 2nd TFT, the 3rd TFT, the 4th TFT, and an EL element were provided by this invention, and ] the 1st period, A gate electrode and a drain area of said 1st TFT are connected by said 3rd TFT and said 4th TFT, And in [ a size of current which flows into a channel forming region of said 1st TFT is controlled by a video signal, and  $V_{GS}$  of said 1st TFT is controlled by said current, and ] the 2nd period,  $V_{GS}$  of said 1st TFT is held, and predetermined current flows into said EL element via said 1st TFT, and a drive method of a luminescent device, wherein said 2nd TFT is come by off is

provided in the 3rd period.

[0047]In [ are a drive method of a luminescent device which carries out two or more owners of the pixel in which the 1st TFT, the 2nd TFT, the 3rd TFT, the 4th TFT, and an EL element were provided by this invention, and ] the 1st period, A gate electrode and a drain area of said 1st TFT are connected by said 3rd TFT and said 4th TFT, And in [ a size of current which flows into a channel forming region of said 1st TFT is controlled by a video signal, and  $V_{GS}$  of said 1st TFT is controlled by said current, and ] the 2nd period, Current which flows into a channel forming region of said 1st TFT by said  $V_{GS}$  flows into said EL element via said 2nd TFT, and a drive method of a luminescent device, wherein said 2nd TFT is come by off is provided in the 3rd period.

[0048]By this invention, the 1st TFT, the 2nd TFT, and the 3rd TFT, In [ are a drive method of a luminescent device which carries out two or more owners of the pixel in which the 4th TFT and an EL element were provided, and fixed potential is given to the source region of said 1st TFT, and ] the 1st period, In [ a video signal is inputted into a gate electrode and a drain area of said 1st TFT via said 3rd TFT and said 4th TFT, and ] the 2nd period, With potential of said video signal, predetermined current flows into said EL element via said 1st TFT and said 2nd TFT, and a drive method of a luminescent device, wherein said 2nd TFT is come by off is provided in the 3rd period.

[0049]This invention may be characterized by the polarity of said 3rd TFT and said 4th TFT being the same.

[0050]

[Embodiment of the Invention](Embodiment 1) The composition of the pixel of this invention is shown in drawing 1.

[0051]The pixel 101 shown in drawing 1 has source signal line Si (S1-1 of Sx(es)), gate signal line Gaj for writing (Ga1-1 of Gay(s)), the gate signal line Gbj (Gb1-1 of Gb(ies)) for a display, and the power supply line Vi (V1-1 of Vx(es)).

[0052]The number of a source signal line and power supply lines is not necessarily the same. The number of the gate signal line for writing and the gate signal lines for a display is not necessarily the same. It is not always necessary to have these wiring altogether, and another different wiring may be provided besides these wiring.

[0053]The pixel 101 has TFT102 for the 1st switching, TFT103 for the 2nd switching, TFT104 for current control, TFT105 for EL drives, EL element 106, and the capacitor 107.

[0054]Both the gate electrodes of TFT102 for the 1st switching and TFT103 for the 2nd switching are connected to the gate signal line Gaj for writing.

[0055]Electric connection is meant as long as connection is unstated especially in this specification.

[0056]One side is connected to source signal line Si, and, as for another side, the source region and the drain area of TFT102 for the 1st switching are connected to the source region of TFT105 for EL drives. One side is connected to the source region of TFT105 for

EL drives, and, as for another side, the source region and the drain area of TFT103 for the 2nd switching are connected to the gate electrode of TFT104 for current control.

[0057]That is, either of the source region and the drain areas of TFT102 for the 1st switching and either of the source region and the drain areas of TFT103 for the 2nd switching are connected.

[0058]The source region of TFT104 for current control is connected to the power supply line  $V_i$ , and the drain area is connected to the source region of TFT105 for EL drives.

[0059]Let voltage which the source region of a n channel type transistor is given be a thing lower than the voltage given to a drain area in this specification. Let voltage which the source region of a p channel type transistor is given be a thing higher than the voltage given to a drain area.

[0060]The gate electrode of TFT105 for EL drives is connected to the gate signal line  $G_{bj}$  for a display. And the drain area of TFT105 for EL drives is connected to the picture element electrode which EL element 106 has. EL element 106 is provided with the following.

Picture element electrode.

Counterelectrode.

The EL layer provided between the picture element electrode and the counterelectrode.

The counterelectrode of EL element 106 is connected to the power supply (power supply for counterelectrodes) provided in the exterior of the EL panel.

[0061]The potential (power supply potential) of the power supply line  $V_i$  is maintained at fixed height. The potential of the power supply for counterelectrodes is also maintained at fixed height.

[0062]Either n channel type TFT or p channel type TFT is OK as TFT102 for the 1st switching, and TFT103 for the 2nd switching. However, the polarity of TFT102 for the 1st switching and TFT103 for the 2nd switching is the same.

[0063]Either n channel type TFT or p channel type TFT is OK as TFT104 for current control.

[0064]Either n channel type TFT or p channel type TFT is OK as TFT105 for EL drives. One side is the anode and another side of the picture element electrode and counterelectrode of an EL element is the negative pole. As for TFT105 for EL drives, when the negative pole is used as a counterelectrode, using the anode as a picture element electrode, it is preferred that it is p channel type TFT. On the contrary, as for TFT105 for EL drives, when using the anode as a counterelectrode, using the negative pole as a picture element electrode, it is preferred that it is n channel type TFT.

[0065]The capacitor 107 is formed between the gate electrode of TFT104 for current control, and the source region. When TFT102 for the 1st and 2nd switching and 103 are OFF, it is provided in order to maintain more certainly the gate electrode of TFT104 for current control, and the voltage ( $V_{GS}$ ) between the source region, but it is not necessary to necessarily form the capacitor 107.

[0066]Drawing 2 is a block diagram of the luminescent device for which the drive method of this invention is used, and, as for a picture element part and 110, the gate signal line drive circuit for writing and 112 are the gate signal line drive circuits for a display a source signal line driving circuit and 111 100.

[0067]The picture element part 100 has the source signal lines S1-Sx, the gate signal lines Ga1-Gay for writing, the gate signal lines Gb1-Gby for a display, and the power supply lines V1-Vx.

[0068]The field which has a source signal line, a gate signal line for writing, a gate signal line for a display, and every one power supply line, respectively is the pixel 101. Two or more pixels 101 are formed in the picture element part 100 at matrix form.

[0069](Embodiment 2) The drive of the luminescent device of this invention shown in 5272 next drawing 1, and drawing 2 is explained using drawing 3. The drive of the luminescent device of this invention can be divided and explained at write-in period Ta and the display period Td.

[0070]In write-in period Ta, the timing chart of the signal inputted into the gate signal line for writing and the gate signal line for a display is shown in drawing 3 (A). ON shows the period when the gate signal line for writing and the gate signal line for a display are chosen, and the period which in other words has all TFT(s) by which the gate electrode is connected to this signal wire in the state of one. On the contrary, OFF shows the period when the gate signal line for writing and the gate signal line for a display are not chosen, and the period which in other words has all TFT(s) by which the gate electrode is connected to this signal wire in the state of OFF.

[0071]In write-in period Ta, the gate signal lines Ga1-Gay for writing are chosen in order, and the gate signal lines Gb1-Gby for a display are not chosen. And it is chosen by the digital video signal inputted into the source signal line driving circuit 110 whether the fixed current  $I_c$  flows into each of the source signal lines S1-Sx or it does not flow.

[0072]The schematic diagram which is a pixel in write-in period Ta when the fixed current  $I_c$  flows into source signal line Si is shown in drawing 4 (A). Since TFT102 for the 1st switching and TFT103 for the 2nd switching are in the state of one, if the fixed current  $I_c$  flows into source signal line Si, the fixed current  $I_c$  will flow between the drain area and the source region of TFT104 for current control.

[0073]It is connected to the power supply line Vi, and the source region of TFT104 for current control is maintained at fixed potential (power supply potential).

[0074]Since TFT104 for current control is operating in the saturation region, if  $I_c$  is substituted for  $I_{DS}$  of the formula 2, the value of  $V_{GS}$  will become settled naturally.

[0075]When the fixed current  $I_c$  does not flow into source signal line Si, source signal line Si is maintained at the same potential as the power supply line Vi. Therefore, it is set to  $V_{GS}^{**0}$  in this case.

[0076]An end of write-in period Ta will start the display period Td.

[0077]The timing chart of the signal inputted into the gate signal line for writing and the gate signal line for a display in the display period Td is shown in drawing 3 (B).

[0078]In the display period Td, the gate signal lines Ga1-Gay for writing are not chosen altogether, but the gate signal lines Gb1-Gby for a display are chosen altogether.

[0079]The schematic diagram of the pixel in the display period Td is shown in drawing 4 (B). TFT102 for the 1st switching and TFT103 for the 2nd switching are in the state of OFF. It is connected to the power supply line Vi, and the source region of TFT104 for current control is maintained at fixed potential (power supply potential).

[0080]In the display period Td,  $V_{GS}$  defined in write-in period Ta is maintained. Therefore, if the value of  $V_{GS}$  is assigned to the formula 2, the value of  $I_{DS}$  will become settled naturally.

[0081]Since it is  $V_{GS} \neq 0$  when the current Ic does not flow in write-in period Ta, when a threshold is 0, current does not flow. Therefore, EL element 106 does not emit light.

[0082]If the value of  $V_{GS}$  is assigned to the formula 2 when the fixed current Ic flows in write-in period Ta, Ic will be obtained as current value  $I_{DS}$ . Since TFT105 for EL drives is turned on in the display period Td, the current Ic flows into EL element 106, and EL element 106 emits light.

[0083]As mentioned above, it is possible to display one picture by writing in throughout [ one frame term ] and repeating period Ta and the display period Td. When displaying a picture with the digital video signal of n bit, at least n write-in periods and n display periods are provided within 1 frame period.

[0084]n write-in periods (Ta1-Tan) and n display periods (Td1-Tdn) support each bit of a digital video signal.

[0085]In 1 frame period, the timing to which n write-in periods (Ta1-Tan) and n display periods (Td1-Tdn) appear is shown in drawing 5. The horizontal axis shows time and the vertical axis shows the position of the gate signal line for writing which a pixel has, and the gate signal line for a display.

[0086]Tdm appears at the next of the write-in period Tam (m is 1 - the arbitrary number of n) in the display period corresponding to the same number of bits, and this case. Write-in period Ta and the display period Td are doubled, and it is referred to as subframe period SF. The subframe period which has the write-in period Tam corresponding to eye m bit and the display period Tdm serves as SFm.

[0087]The length of the display periods Td1-Tdn is  $Td1:Td2 : \dots : Tdn = 2^0 : 2^1 : \dots : 2^{n-1}$  is filled.

[0088]In the drive method of this invention, gradation is displayed by controlling the sum of the length of the display period of an one-frame term throughout which emits light.

[0089]By composition mentioned above, the luminescent device of this invention can obtain fixed luminosity, without being influenced by the temperature change. In a colored



presentation, even when the EL element which has a different EL material for every color is provided, it can prevent the luminosity of the EL element of each color changing scatteringly, and not acquiring a desired color with temperature.

[0090](Embodiment 3) A drive method which is different in Embodiment 2 of the luminescent device of this invention shown in 5318 next drawing 1, and drawing 2 is explained using drawing 6 - 9.

[0091]In the pixel of the 1st line, write-in period Ta1 is started first.

[0092]In write-in period Ta1, gate signal line Ga1 for writing is chosen from the gate signal line drive circuit 111 for writing by the 1st selection signal (selection signal for writing) inputted into gate signal line Ga1 for writing. That a signal wire is chosen in this specification means that all TFT(s) by which the gate electrode is connected to this signal wire will be in the state of one. And TFT102 for the 1st switching of all the pixels (the pixel of the 1st line) and TFT103 for the 2nd switching which have gate signal line Ga1 for writing will be in the state of one.

[0093]In write-in period Ta1, gate signal line Gb1 for a display which the pixel of the 1st line has is not chosen. Therefore, all TFT105 for EL drives that the pixel of the 1st line has are in the state of OFF.

[0094]And the value of the current which flows into the source signal lines S1-Sx is defined by the bit [ 1st ] digital video signal inputted into the source signal line driving circuit 110.

[0095]A digital video signal has the information on "0" or "1", and is. The digital video signal which has the information on "0", and the digital video signal which has the information on "1" are signals with which Hi (High) and one side have the voltage of Lo (Low) in one side. The value of the drain current which flows into TFT104 for current control is controlled by the information on "0" or "1" which a digital video signal has.

[0096]Specifically using "0" of a digital video signal, or the information on "1." It is chosen via TFT104 for current control, TFT102 for the 1st switching, and TFT103 for the 2nd switching whether the fixed current Ic flows between the power supply line Vi and source signal line Si or current does not flow.

[0097]That the digital video signal was inputted into the pixel in this specification means that it is chosen whether the fixed current Ic flows between the power supply line Vi and source signal line Si with a digital video signal in this pixel or current does not flow.

[0098]The schematic diagram of the pixel in write-in period Ta1 is shown in drawing 8 (A).

[0099]In write-in period Ta1, gate signal line Gb1 for selection and a display has gate signal line Ga1 for writing in the state of non selection. Therefore, since TFT102 for the 1st switching and TFT103 for the 2nd switching are turned on, if the fixed current Ic flows into source signal line Si, the fixed current Ic will flow between the source region and the drain area of TFT for current control. And since TFT105 for EL drives is come by off at this time, the potential of the power supply line Vi is not given to the picture element electrode of EL element 106, but EL element 106 is in a nonluminescent state.

[0100]It is connected to the power supply line Vi, and the source region of TFT104 for

current control is maintained at fixed potential (power supply potential). Since TFT104 for current control is operating in the saturation region, if  $I_c$  is substituted for  $I_{DS}$  of the formula 2, the value of  $V_{GS}$  of TFT104 for current control will become settled naturally.

[0101]The fixed current  $I_c$  flows into source signal line  $S_i$ , it is in it inside, and the case is maintained at the potential with same source signal line  $S_i$  and power supply line  $V_i$ . In this case, TFT104 for current control is set to  $V_{GS}^{**0}$ .

[0102]And after selection of gate signal line  $G_{a1}$  for writing is completed, it writes in in the pixel of the 1st line and period  $T_{a1}$  is completed.

[0103]After writing in in the pixel of the 1st line and completing period  $T_{a1}$ , it writes in in the pixel of the 2nd line and period  $T_{a1}$  is started. And by the selection signal for writing, gate signal line  $G_{a2}$  for writing is chosen, and the same operation as the pixel of the 1st line is performed. And the gate signal lines  $G_{a3}$ - $G_{ay}$  for writing are also chosen in order, and are written in in all the pixels, period  $T_{a1}$  is started, and the same operation as the pixel of the 1st line is performed.

[0104]Write-in period  $T_{a1}$  differs in the timing which appears by the pixel of each line, and it is equivalent to the period when the gate signal line for writing which the pixel of each line has is chosen. The timing by which write-in period  $T_a$  is started has a time lag for every pixel of each line, respectively.

[0105]On the other hand, after writing in in the pixel of the 1st line and completing period  $T_{a1}$ , a concurrency is carried out to writing in in the pixel of the line after the 2nd line, and period  $T_{a1}$  being started, and display period  $T_{r1}$  is started in the pixel of the 1st line.

[0106]In display period  $T_{r1}$ , gate signal line  $G_{b1}$  for a display is chosen from the gate signal line drive circuit 112 for a display by the 2nd selection signal (selection signal for a display) inputted into gate signal line  $G_{b1}$  for a display. Selection is started before selection of the gate signal lines  $G_{a2}$ - $G_{ay}$  for writing ends gate signal line  $G_{b1}$  for a display. It is good to start selection of gate signal line  $G_{b1}$  for a display at the same time selection of gate signal line  $G_{a1}$  for writing is completed and selection of gate signal line  $G_{a2}$  for writing is started more preferably.

[0107]The schematic diagram of the pixel in display period  $T_{r1}$  is shown in drawing 8 (B).

[0108]In display period  $T_{r1}$ , gate signal line  $G_{b1}$  for non selection and a display has gate signal line  $G_{a1}$  for writing in the state of selection. Therefore, in the pixel of the 1st line, TFT102 for the 1st switching and TFT103 for the 2nd switching are come by off, and TFT105 for EL drives is turned on.

[0109]It is connected to the power supply line  $V_i$ , and the source region of TFT104 for current control is maintained at fixed potential (power supply potential). And  $V_{GS}$  of TFT104 for current control defined in write-in period  $T_{a1}$  is maintained by the capacitor 107 etc., even after selection of gate signal line  $G_{a1}$  for writing is completed. Current  $I_{DS}$  which flows between the source region and the drain area of TFT104 for current control at this time is

calculated by assigning the value of  $V_{GS}$  to the formula 2. Current  $I_{DS}$  flows into EL element 106 via TFT105 for EL drives of one, and, as a result, EL element 106 emits light.

[0110]When gate signal line Ga1 for writing is chosen and the current  $I_c$  does not flow, it is  $V_{GS}^{**0}$  of TFT104 for current control. Therefore, current does not flow between the source region and the drain area of TFT104 for current control. Therefore, EL element 106 does not emit light.

[0111]Thus, after a digital video signal is inputted into a pixel, by the gate signal line for a display being chosen, EL element 106 will be in luminescence or a nonluminescent state, and a pixel will display.

[0112]After display period Tr1 is started in the pixel of the 1st line, display period Tr1 is started also in the pixel of the 2nd line. And by the selection signal for a display, gate signal line Gb2 for a display is chosen, and the same operation as the pixel of the 1st line is performed. And the gate signal lines Gb3-Gby for a display are also chosen in order, display period Tr1 is started in all the pixels, and the same operation as the pixel of the 1st line is performed.

[0113]Display period Tr1 of the pixel of each line is equivalent to the period when the gate signal line for a display which the pixel of each line has is chosen. The timing by which the display period Tr is started has a time lag for every pixel of each line, respectively.

[0114]On the other hand, a concurrency is carried out to display period Tr1 being started in the pixel of the line after the 2nd line, selection of gate signal line Gb1 for a display is completed in the pixel of the 1st line, and display period Tr1 is completed.

[0115]In the pixel of the 1st line, an end of display period Tr1 will start non-display period Td1. And gate signal line Gb1 for a display will be in a non selection state, and TFT105 for EL drives of the pixel of the 1st line will be come by off. At this time, gate signal line Ga1 for writing is still a non selection state.

[0116]Since TFT105 for EL drives is come by off in the pixel of the 1st line, all will be in a nonluminescent state and the pixel of the 1st line will stop, as for EL element 106 for which the power supply potential of the power supply line Vi will not be given to the picture element electrode of EL element 106 and which the pixel of the 1st line therefore has, displaying.

[0117]The schematic diagram which is the pixel of the 1st line when gate signal line Gb1 for a display and gate signal line Ga1 for writing are not chosen as drawing 8 (C) is shown. TFT102 for the 1st switching and TFT103 for the 2nd switching are come by off, and TFT105 for EL drives is come by off. Therefore, EL element 106 is in the nonluminescent state.

[0118]After non-display period Td1 is started in the pixel of the 1st line, display period Tr1 is completed also in the pixel of the 2nd line, and non-display period Td1 is started. And by the selection signal for a display, gate signal line Gb2 for a display is chosen, and the same operation as the pixel of the 1st line is performed in the pixel of the 2nd line. And the gate

signal lines Gb3-Gby for a display are also chosen in order, display period Tr1 ends them in all the pixels, non-display period Td1 is started, and the same operation as the pixel of the 1st line is performed.

[0119]The timing by which non-display period Td1 is started has a time lag by the pixel of each line, and non-display period Td1 is equivalent to the period when the gate signal line for writing which the pixel of each line has is not chosen in, but the gate signal line for a display is moreover chosen.

[0120]On the other hand, after non-display period Td1 is started in that non-display period Td1 is started in the pixel of the line after the 2nd line, a concurrency, or all the pixels, in the pixel of the 1st line, selection of gate signal line Ga1 for writing is started, and write-in period Ta2 is started.

[0121]In this invention, since the write-in period of the pixel of each line does not lap mutually, after the write-in period in the pixel of eye y line expires, the write-in period in the pixel of the 1st line is started.

[0122]Operation of a pixel is the same as that of the case of write-in period Ta1. However, the bit [ 2nd ] digital video signal is inputted into a pixel in write-in period Ta2.

[0123]And after writing in in the pixel of the 1st line and completing period Ta2, next, in the pixel after the 2nd line, it writes in in order and period Ta2 is started.

[0124]A concurrency is carried out to writing in in the pixel after the 2nd line and period Ta2 being started, and display period Tr2 is started in the pixel of the 1st line. Also in display period Tr2, a pixel displays with the bit [ 2nd ] digital video signal like display period Tr1.

[0125]And after display period Tr1 is started in the pixel of the 1st line, also in the pixel after the 2nd line, it writes in in order, period Ta2 is completed, and display period Tr2 is started. Therefore, the pixel of each line displays.

[0126]On the other hand, a concurrency is carried out to display period Tr2 being started in the pixel of the line after the 2nd line, display period Tr2 is completed in the pixel of the 1st line, and non-display period Td2 is started. \*\* [ a start of non-display period Td2 / stop / a pixel / displaying in the pixel of the 1st line ]

[0127]After non-display period Td2 is started in the pixel of the 1st line, also in the pixel after the 2nd line, display period Tr2 is completed in order, and non-display period Td2 is started. A pixel stops and displaying in each line.

[0128]As for the operation mentioned above, write-in period Ta, the display period Tr, and the non-display period Td appear repeatedly for every line crack and pixel of each line to forward [ as which the digital video signal of eye m bit is inputted into a pixel ].

[0129]Signs that the gate signal lines Ga1-Gay for writing and the gate signal lines Gb1-Gby for a display are chosen as drawing 6 in write-in period Ta1, display period Tr1, and non-display period Td1 are shown.

[0130]For example, if the pixel of the 1st (First Line) line is observed, a pixel will not display in write-in period Ta1 and non-display period Td1. And it is displaying only in display period Tr1. In drawing 6, in order to write in and to explain operation of the pixel in the periods

Ta1-Ta (m-1), the display periods Tr1-Tr (m-1), and the non-display periods Td1-Td (m-1), operation of the pixel in write-in period Ta1, display period Tr1, and non-display period Td1 is illustrated. Therefore, no pixel of lines displays in the write-in periods Ta1-Ta (m-1) and the non-display periods Td1-Td (m-1). The pixel of all the lines displays in the display periods Tr1-Tr (m-1).

[0131]Next, the operation which is the pixel after the write-in period Tam when the digital video signal of eye m bit is inputted into a pixel was started is explained. In this invention, m can choose the value from 1 to n arbitrarily.

[0132]If it writes in in the pixel of the 1st line and the period Tam is started, the digital video signal of eye m bit will be inputted into the pixel of the 1st line. And after it writes in in the pixel of the 1st line and the period Tam expires, also in the pixel after the 2nd line, it writes in in order and the period Tam is started.

[0133]On the other hand, after it writes in in the pixel of the 1st line and the period Tam expires, a concurrency is carried out to writing in in the pixel of the line after the 2nd line, and the period Tam being started, and the display period Trm is started in the pixel of the 1st line. Also in the display period Trm, a pixel displays with the digital video signal of eye m bit like the display period Trm.

[0134]And after the display period Trm is started in the pixel of the 1st line, also in the pixel after the 2nd line, it writes in in order, the period Tam expires, and the display period Trm is started.

[0135]Next, after the display period Trm is started in the pixel of all the lines, the display period Trm expires in the pixel of the 1st line, and write-in period Ta (m+1) is started.

[0136]If it writes in in the pixel of the 1st line and period Ta (m+1) is started, the bit [ m+1st ] digital video signal will be inputted into the pixel of the 1st line.

[0137]And in the pixel of the 1st line, write-in period Ta (m+1) is completed. After writing in in the pixel of the 1st line and completing period Ta (m+1), also in the pixel after the 2nd line, the display period Trm expires in order, and write-in period Ta (m+1) is started.

[0138]In the pixel of last eye y line, operation mentioned above is repeatedly performed until the display period Trn corresponding to the digital video signal of eye n bit expires, and write-in period Ta and the display period Tr appear repeatedly for every pixel of each line.

[0139]Signs that the gate signal lines Ga1-Gay for writing and the gate signal lines Gb1-Gby for a display are chosen as drawing 7 in the write-in period Tam and the display period Trm are shown.

[0140]For example, if the pixel of the 1st (First Line) line is observed, a pixel will not display in the write-in period Tam. And it is displaying only in the display period Trm. In drawing 7, in order to write in and to explain operation of the pixel in period Tam-Tan and display period Trm-Trn, operation of the pixel in the write-in period Tam and the display period Trm is illustrated. Therefore, no pixel of lines displays in write-in period Tam-Tan. The pixel of all the lines displays in display period Trm-Trn.

[0141]In the drive method of this invention, the timing to which the write-in period and

- display period in  $m=n-2$ , and a non-display period appear is shown in drawing 9. The horizontal axis shows time and the vertical axis shows the position of the gate signal line for writing which a pixel has, and the gate signal line for a display. However, since a write-in period is short, in order to make a figure legible, the arrow showed the timing by which the write-in periods  $Ta1$ - $Tan$  corresponding to each bit are started. An arrow shows a period ( $\sigma Ta1 - \sigma Tan$ ) after the write-in period of the pixel of the 1st line is started for every bit until the write-in period of the pixel of eye  $y$  line expires.

[0142]After  $Trn$  is completed in the pixel of the 1st line, 1 frame period expires and write-in period  $Ta1$  of the next frame period is again started in the pixel of the 1st line. And the operation mentioned above is repeated again. The timing which 1 frame period starts, and the timing to end have a time lag for every pixel of each line.

[0143]One picture can be displayed that 1 frame period expires in the pixel of all the lines.

[0144]As for a luminescent device, it is preferred to provide 60 or more frame periods in 1 second. When the number of the pictures displayed in 1 second becomes less than 60, a flicker of a picture may begin to be visually conspicuous.

[0145]The sum of the length of all the write-in periods is [ in / at this invention / the pixel of each line ] shorter than 1 frame period. Moreover, it is [ -- It is considered as  $:2^{(n-2)} : 2^{(n-1)} .$  ]

the length of a display period  $Tr1:Tr2:Tr3 : \dots : Tr(n-1):Trn = 2^0 : 2^1 : 2^2 : \dots$  A desired gradation display can be performed among gradation  $2^n$  in the combination of this display period.

[0146]By asking for total of the length of the display period when the EL element emitted light throughout [ one frame term ], the gradation which the pixel in the frame period concerned displayed is decided. For example, if luminosity when a pixel emits light in all display periods is made into 100% at the time of  $n=8$ , when a pixel emits light in  $Tr1$  and  $Tr2$ , 1% of luminosity can be expressed, and when  $Tr3$ , and  $Tr5$  and  $Tr8$  are chosen, 60% of luminosity can be expressed.

[0147]The length of the display period  $Trm$  has a long time more important than a period ( $\sigma Tam$ ) after the write-in period  $Tam$  of the pixel of the 1st line is started until the write-in period  $Tam$  of the pixel of eye  $y$  line expires.

[0148]The display periods  $Tr1$ - $Trn$  may be made to appear in what kind of order. For example, in an one-frame term period, it is possible to also make a display period appear in the next of  $Tr1$  in the order  $Tr3$ ,  $Tr5$ ,  $Tr2$ , and --. However, it is required to keep the write-in period in the pixel of each line from lapping mutually.

[0149]In this embodiment, in order to hold the voltage concerning the gate electrode of TFT for EL drives, it is considered as the structure of forming a capacitor, but it is also possible to omit a capacitor. When TFT for EL drives has the LDD region provided so that it might lap with a gate electrode via gate dielectric film, the parasitic capacitance generally called gate capacitance is formed in these overlapping fields. It may use positively as a capacitor for holding the voltage built over the gate electrode of TFT for EL drives in this gate capacitance.

[0150] Since the capacity value of this gate capacitance changes with the area which the above-mentioned gate electrode and the LDD region overlapped, it is decided by the length of the LDD region included to those overlapping fields.

[0151] In the drive method of this embodiment, after write-in period  $T_a$  of the pixel of the 1st line is started, The length of the display period of the pixel of each line can be made shorter than the period which in other words writes the digital video signal for 1 bit in all the pixels during the period until write-in period  $T_a$  of the pixel of eye  $y$  line is completed. Therefore, since the length of the display period corresponding to a lower bit can be shortened even if the number of bits of a digital video signal increases, it is possible to display a high definition picture, without flickering a screen.

[0152] The luminescent device of this invention can obtain fixed luminosity, without being influenced by the temperature change. In a colored presentation, even when the EL element which has a different EL material for every color is provided, it can prevent the luminosity of the EL element of each color changing scatteringly, and not acquiring a desired color with temperature.

[0153] Although Embodiments 1 and 2 explained the drive method which displays using a digital video signal, it may display using the video signal of an analog. When displaying using the video signal of an analog, the value of the current which flows into a source signal line can be controlled by an analog video signal, and gradation can be displayed with the size of this current.

[0154]

[Example] Below, the example of this invention is described.

[0155] (Example 1) In the drive method shown in Embodiment 1 corresponding to the digital video signal of  $n$  bit, this example explains an order that the subframe periods SF1-SF $n$  appear.

[0156] In 1 frame period, the timing to which  $n$  write-in periods ( $T_{a1}$ - $T_{an}$ ) and  $n$  display periods ( $T_{d1}$ - $T_{dn}$ ) appear is shown in drawing 10. The horizontal axis shows time and the vertical axis shows the position of the gate signal line for writing which a pixel has, and the gate signal line for a display. Since what is necessary is just to refer to Embodiment 1 for the method of a detailed drive of each pixel, it omits here.

[0157] In the drive method of this example, the subframe period (this example SF $n$ ) which has a display period long No. 1 throughout [ one frame term ] is not provided in the beginning of 1 frame period, and the last. In other words, it has composition that other subframe periods contained at the frame period same before or after the subframe period which has a display period long No. 1 throughout [ one frame term ] appear.

[0158] By the above-mentioned composition, when an intermediate floor tone is displayed, it is not recognized by human being's eyes but display unevenness which had occurred when the display period which emits light in adjacent frame periods adjoined can be \*\*\*\*(ed).

[0159] In the case of  $n \geq 3$ , the composition of this example is effective.

[0160] (Example 2) This example explains the drive method which used a 6-bit digital video



signal and which was shown in Embodiment 1.

[0161]In 1 frame period, the timing to which  $n$  write-in periods ( $Ta_1$ - $Ta_n$ ) and  $n$  display periods ( $Td_1$ - $Td_n$ ) appear is shown in drawing 11. The horizontal axis shows time and the vertical axis shows the position of the gate signal line for writing which a pixel has, and the gate signal line for a display. Since what is necessary is just to refer to Embodiment 1 for the method of a detailed drive of each pixel, it omits here.

[0162]When [ which used a 6-bit digital video signal ] driving, at least six subframe periods SF1-SF6 are formed within 1 frame period.

[0163]The subframe periods SF1-SF6 support each bit of a 6-bit digital video signal. And the subframe periods SF1-SF6 have six write-in periods ( $Ta_1$ - $Ta_6$ ) and  $n$  display periods ( $Td_1$ - $Td_6$ ).

[0164]The subframe period which has the write-in period  $Ta_m$  corresponding to  $m$  ( $m$  is arbitrary number of 1-6) bit eye and the display period  $Td_m$  serves as SF $m$ .  $Td_m$  appears at the next of the write-in period  $Ta_m$  in the display period corresponding to the same number of bits, and this case.

[0165]It is possible to display one picture because write in throughout [ one frame term ] and period  $Ta$  and the display period  $Td$  appear repeatedly.

[0166]The length of the display periods  $Td_1$ - $Td_6$  is  $Td_1:Td_2 : \dots :Td_6=2^0:2^1 : \dots :2^5$  is filled.

[0167]In the drive method of this example, gradation is displayed by controlling the sum of the length of the display period of an one-frame term throughout which emits light.

[0168]It combines with Example 1 freely and composition of this example can be carried out.

[0169](Example 3) This example explains an example of a drive method which is different in Embodiment 1 which used the digital video signal of  $n$  bit.

[0170]In 1 frame period, the timing to which  $n+1$  write-in period ( $Ta_1$ - $Ta (n+1)$ ) and  $n$  display periods ( $Td_1$ - $Td (n+1)$ ) appear is shown in drawing 12. The horizontal axis shows time and the vertical axis shows the position of the gate signal line for writing which a pixel has, and the gate signal line for a display. Since what is necessary is just to refer to an embodiment for the method of a detailed drive of each pixel, it omits here.

[0171]In this example, subframe period SF $0$  of  $n+1$  - SF $n+1$  are provided within 1 frame period corresponding to the digital video signal of  $n$  bit. And subframe period SF1 - SF $n+1$  have  $n+1$  write-in period ( $Ta_1$ - $Ta (n+1)$ ) and  $n$  display periods ( $Td_1$ - $Td (n+1)$ ).

[0172]The subframe period which has the write-in period  $Ta_m$  ( $m$  is the arbitrary number of one to  $n+1$ ) and the display period  $Td_m$  serves as SF $m$ .  $Td_m$  appears at the next of the write-in period  $Ta_m$  in the display period corresponding to the same number of bits, and this case.

[0173]Subframe period SF1 - SF $n-1$  support each bit of the digital video signal of 1 - ( $n-1$ ) a bit. The subframe periods SF $n$  and SF ( $n+1$ ) support the digital video signal of eye  $n$  bit.

[0174]In this example, the subframe periods SF $n$  and SF ( $n+1$ ) corresponding to the digital

video signal of the same bit do not appear continuously. In other words, other subframe periods are provided among the subframe periods SF<sub>n</sub> and SF<sub>(n+1)</sub> corresponding to the digital video signal of the same bit.

[0175]It is possible to display one picture because write in throughout [ one frame term ] and period Ta and the display period Td appear repeatedly.

[0176]The length of display period Td<sub>1</sub> - Td<sub>n+1</sub> is Td<sub>1</sub>:Td<sub>2</sub> : -- :(Td<sub>n</sub>+Td<sub>(n+1)</sub>) = 2<sup>0</sup>:2<sup>1</sup> : -- :2<sup>n-1</sup> is filled.

[0177]In the drive method of this invention, gradation is displayed by controlling the sum of the length of the display period of an one-frame term throughout which emits light.

[0178]By the above-mentioned composition, when an intermediate floor tone is displayed, this example is not recognized by human being's eyes compared with the case of Examples 1 and 2, but can \*\*\*\* display unevenness which had occurred when the display period which emits light in adjacent frame periods adjoined.

[0179]Although this example explained the case where there were two subframe periods corresponding to the same bit, this invention is not limited to this. Three or more subframe periods corresponding to the bit same within 1 frame period may be provided.

[0180]Although two or more subframe periods corresponding to the digital video signal of the most significant bit were provided in this example, this invention is not limited to this. Two or more subframe periods corresponding to the digital video signal of bits other than the most significant bit may be provided. The bit in which two or more corresponding subframe periods were provided is not restricted only to one, but may be made the composition that two or more subframe periods correspond to each of some bits.

[0181]In the case of n>=2, the composition of this example is effective. It combines with Examples 1 and 2 freely, and this example can be carried out.

[0182](Example 4) In the drive method of Embodiment 2, this example explains the case where gradation is displayed 2<sup>6</sup> using a 6-bit digital video signal. However, this example explains the case of m= 5. In this example, an example of the drive method of this invention is explained and this invention is limited for neither the number of bits of a corresponding digital video signal, nor the value of m to the composition of this example.

[0183]In the drive method of this example, the timing to which a write-in period, a display period, and a non-display period appear is shown in drawing 13. The horizontal axis shows time and the vertical axis shows the position of the gate signal line for writing which a pixel has, and the gate signal line for a display. However, since a write-in period is short, in order to make a figure legible, the arrow showed the timing by which the write-in periods Ta<sub>1</sub>-Ta<sub>6</sub> corresponding to each bit are started. An arrow shows a period (sigmaTa<sub>1</sub>-sigmaTa<sub>6</sub>) after the write-in period of the pixel of the 1st line is started for every corresponding bit until the write-in period of the pixel of eye y line expires.

[0184]Since it is the same as the case of Embodiment 1 about detailed operation of a pixel, explanation is omitted here.

[0185]In the pixel of the 1st line, write-in period Ta1 is started first. A start of write-in period Ta1 will input the bit [ 1st ] digital video signal into the pixel of the 1st line, as the embodiment showed.

[0186]And after writing in in the pixel of the 1st line and completing period Ta1, next, also in the pixel after the 2nd line, it writes in in order and period Ta1 is started. And the bit [ 1st ] digital video signal is inputted into the pixel of each line like the case of the pixel of the 1st line.

[0187]A concurrency is carried out to writing in in the pixel after the 2nd line and on the other hand, period Ta1 being started, and display period Tr1 is started in the pixel of the 1st line. \*\* [ a start of display period Tr1 / display / with the bit / 1st / digital video signal / the pixel of the 1st line ]

[0188]And after display period Tr1 is started in the pixel of the 1st line, also in the pixel after the 2nd line, it writes in in order, period Ta1 is completed, and display period Tr1 is started. And the pixel of each line displays with the bit [ 1st ] digital video signal.

[0189]On the other hand, a concurrency is carried out to display period Tr1 being started in the pixel of the line after the 2nd line, display period Tr1 is completed in the pixel of the 1st line, and non-display period Td1 is started.

[0190]\*\* [ a start of non-display period Td1 / stop / the pixel of the 1st line / displaying ]

[0191]Next, after non-display period Td1 is started in the pixel of the 1st line, also in the pixel after the 2nd line, display period Tr1 is completed in order, and non-display period Td1 is started. The pixel of each line stops therefore, displaying.

[0192]On the other hand, after non-display period Td1 is started in that non-display period Td1 is started in the pixel of the line after the 2nd line, a concurrency, or all the pixels, it writes in in the pixel of the 1st line and period Ta2 is started.

[0193]A start of write-in period Ta2 will input the bit [ 2nd ] digital video signal into the pixel of the 1st line.

[0194]As for the operation mentioned above, write-in period Ta, the display period Tr, and the non-display period Td appear repeatedly for every line crack and pixel of each line to forward [ as which the bit / 5th / digital video signal is inputted into a pixel ].

[0195]Next, the operation which is the pixel after write-in period Ta5 as which the bit [ 5th ] digital video signal is inputted into a pixel was started is explained.

[0196]If it writes in in the pixel of the 1st line and period Ta5 is started, the bit [ 5th ] digital video signal will be inputted into the pixel of the 1st line. And after writing in in the pixel of the 1st line and completing period Ta5, also in the pixel after the 2nd line, it writes in in order and period Ta5 is started.

[0197]On the other hand, after writing in in the pixel of the 1st line and completing period Ta5, a concurrency is carried out to writing in in the pixel of the line after the 2nd line, and period Ta5 being started, and display period Tr5 is started in the pixel of the 1st line. Also in display period Tr5, a pixel displays with the bit [ 5th ] digital video signal like display period Tr5.

[0198]And after display period Tr5 is started in the pixel of the 1st line, also in the pixel after the 2nd line, it writes in in order, period Ta5 is completed, and display period Tr5 is started.

[0199]Next, after display period Tr5 is started in the pixel of all the lines, display period Tr5 is completed in the pixel of the 1st line, and write-in period Ta6 is started.

[0200]If it writes in in the pixel of the 1st line and period Ta6 is started, the bit [ 6th ] digital video signal will be inputted into the pixel of the 1st line.

[0201]And write-in period Ta6 is completed in the pixel of the 1st line. After writing in in the pixel of the 1st line and completing period Ta6, also in the pixel after the 2nd line, display period Tr5 is completed in order, and write-in period Ta6 is started.

[0202]A concurrency is carried out to writing in in the pixel after the 2nd line and on the other hand, period Ta6 being started, and display period Tr6 is started in the pixel of the 1st line. \*\* [ a start of display period Tr6 / display / with the bit / 6th / digital video signal / the pixel of the 1st line ]

[0203]And after display period Tr6 is started in the pixel of the 1st line, also in the pixel after the 2nd line, it writes in in order, period Ta6 is completed, and display period Tr6 is started. And the pixel of each line displays with the bit [ 6th ] digital video signal.

[0204]After Tr6 is completed in the pixel of the 1st line, 1 frame period expires in the pixel of the 1st line, and write-in period Ta1 of the next frame period is started again. After Tr6 is completed in the pixel of the 1st line and Tr6 is completed also in the pixel after the 2nd line, 1 frame period expires in the pixel of each line eye, and write-in period Ta1 of the next frame period is started again.

[0205]And the operation mentioned above is repeated again. The timing which 1 frame period starts, and the timing to end have a time lag for every pixel of each line.

[0206]One picture can be displayed that 1 frame period expires in the pixel of all the lines.

[0207]At this example, it is [ -- It is considered as : $2^4:2^5$ . ] the length of a display period Tr1:Tr2 : -- :Tr5:Tr6= $2^0:2^1$  : A desired gradation display can be performed among gradation  $2^6$  in the combination of this display period.

[0208]By asking for total of the length of the display period when the EL element emitted light throughout [ one frame term ], the gradation which the pixel in the frame period concerned displayed is decided. For example, in the case of this example, if luminosity when a pixel emits light in all display periods is made into 100%, when a pixel emits light in Tr1 and Tr2, 5% of luminosity can be expressed, and when Tr3 and Tr5 are chosen, 32% of luminosity can be expressed.

[0209]In this invention, since the write-in period of the pixel of each line does not lap mutually, after the write-in period in the pixel of eye y line expires, the write-in period in the pixel of the 1st line is started.

[0210]In this example, the length of display period Tr5 of the pixel of each line has a long time more important than a period ( $\sigma Ta5$ ) after write-in period Ta5 of the pixel of the 1st line is started until write-in period Ta5 of the pixel of eye y line is completed.

[0211]The display periods Tr1-Tr6 may be made to appear in what kind of order. For example, in an one-frame term period, it is possible to also make a display period appear in the next of Tr1 in the order Tr3, Tr5, Tr2, and --. However, it is required to keep the write-in period in the pixel of each line from lapping mutually.

[0212]In the drive method of this invention, after write-in period Ta of the pixel of the 1st line is started, The length of the display period of the pixel of each line can be made shorter than the period which in other words writes the digital video signal for 1 bit in all the pixels during the period until write-in period Ta of the pixel of eye y line is completed. Therefore, since the length of the display period corresponding to a lower bit can be shortened even if the number of bits of a digital video signal increases, it is possible to display a high definition picture, without flickering a screen.

[0213]The luminescent device of this invention can obtain fixed luminosity, without being influenced by the temperature change. In a colored presentation, even when the EL element which has a different EL material for every color is provided, it can prevent the luminosity of the EL element of each color changing scatteringly, and not acquiring a desired color with temperature.

(Example 5) In the drive method of Embodiment 2 corresponding to a 6-bit digital video signal, this example explains an order that the display periods Tr1-Tr6 appear. However, this example explains the case of  $m=5$ . In this example, an example of the drive method of the embodiment of the invention 2 is explained, and this invention is limited for neither the number of bits of a corresponding digital video signal, nor the value of  $m$  to the composition of this example. The composition of this example is effective when the number of bits of a digital video signal is three or more.

[0214]In the drive method of this example, the timing to which a write-in period, a display period, and a non-display period appear is shown in drawing 14. The horizontal axis shows time and the vertical axis shows the position of the gate signal line for writing which a pixel has, and the gate signal line for a display. However, since a write-in period is short, in order to make a figure legible, the arrow showed the timing by which the write-in periods Ta1-Ta6 corresponding to each bit are started. An arrow shows a period ( $\sigma Ta1-\sigma Ta6$ ) after the write-in period of the pixel of the 1st line is started for every corresponding bit until the write-in period of the pixel of eye y line expires.

[0215]Since it is the same as the case of Embodiment 2 about detailed operation of a pixel, explanation is omitted here.

[0216]In the pixel of the 1st line, write-in period Ta4 is started first. A start of write-in period Ta4 will input the bit [ 4th ] digital video signal into the pixel of the 1st line.

[0217]And after writing in in the pixel of the 1st line and completing period Ta4, next, also in the pixel after the 2nd line, it writes in in order and period Ta4 is started. And the bit [ 4th ] digital video signal is inputted into the pixel of each line like the case of the pixel of the 1st line.

[0218]A concurrency is carried out to writing in in the pixel after the 2nd line and on the

other hand, period Ta4 being started, and display period Tr4 is started in the pixel of the 1st line. \*\* [ a start of display period Tr4 / display / with the bit / 4th / digital video signal / the pixel of the 1st line ]

[0219]And after display period Tr4 is started in the pixel of the 1st line, also in the pixel after the 2nd line, it writes in in order, period Ta4 is completed, and display period Tr4 is started. And the pixel of each line displays with the bit [ 4th ] digital video signal.

[0220]On the other hand, after display period Tr4 begins in the pixel of the line after the 2nd line, display period Tr4 is completed in the pixel of the 1st line, and non-display period Td4 is started. A concurrency is carried out to display period Tr4 being started in the pixel of the line after the 2nd line, display period Tr4 is completed in the pixel of the 1st line, and non-display period Td4 may be started.

[0221]\*\* [ a start of non-display period Td4 / stop / the pixel of the 1st line / displaying ]

[0222]Next, after non-display period Td4 is started in the pixel of the 1st line, also in the pixel after the 2nd line, display period Tr4 is completed in order, and non-display period Td4 is started. The pixel of each line stops therefore, displaying.

[0223]On the other hand, after non-display period Td4 is started in that non-display period Td4 is started in the pixel of the line after the 2nd line, a concurrency, or all the pixels, it writes in in the pixel of the 1st line and period Ta5 is started.

[0224]If it writes in in the pixel of the 1st line and period Ta5 is started, the bit [ 5th ] digital video signal will be inputted into the pixel of the 1st line. And after writing in in the pixel of the 1st line and completing period Ta5, also in the pixel after the 2nd line, it writes in in order and period Ta5 is started.

[0225]On the other hand, after writing in in the pixel of the 1st line and completing period Ta5, a concurrency is carried out to writing in in the pixel of the line after the 2nd line, and period Ta5 being started, and display period Tr5 is started in the pixel of the 1st line. Also in display period Tr5, a pixel displays with the bit [ 5th ] digital video signal like display period Tr5.

[0226]And after display period Tr5 is started in the pixel of the 1st line, also in the pixel after the 2nd line, it writes in in order, period Ta5 is completed, and display period Tr5 is started.

[0227]Next, after display period Tr5 is started in the pixel of all the lines, display period Tr5 is completed in the pixel of the 1st line, and write-in period Ta2 is started.

[0228]If it writes in in the pixel of the 1st line and period Ta2 is started, the bit [ 2nd ] digital video signal will be inputted into the pixel of the 1st line.

[0229]And after writing in in the pixel of the 1st line and completing period Ta2, next, also in the pixel after the 2nd line, it writes in in order and period Ta2 is started. And the bit [ 2nd ] digital video signal is inputted into the pixel of each line like the case of the pixel of the 1st line.

[0230]A concurrency is carried out to writing in in the pixel after the 2nd line and on the other hand, period Ta2 being started, and display period Tr2 is started in the pixel of the 1st line. \*\* [ a start of display period Tr2 / display / with the bit / 2nd / digital video signal / the

pixel of the 1st line ]

[0231]And after display period Tr2 is started in the pixel of the 1st line, also in the pixel after the 2nd line, it writes in in order, period Ta2 is completed, and display period Tr2 is started. And the pixel of each line displays with the bit [ 2nd ] digital video signal.

[0232]On the other hand, a concurrency is carried out to display period Tr2 being started in the pixel of the line after the 2nd line, display period Tr2 is completed in the pixel of the 1st line, and non-display period Td2 is started.

[0233]\*\* [ a start of non-display period Td2 / stop / the pixel of the 1st line / displaying ]

[0234]Next, after non-display period Td2 is started in the pixel of the 1st line, also in the pixel after the 2nd line, display period Tr2 is completed in order, and non-display period Td2 is started. The pixel of each line stops therefore, displaying.

[0235]On the other hand, after non-display period Td2 is started in that non-display period Td2 is started in the pixel of the line after the 2nd line, a concurrency, or all the pixels, it writes in in the pixel of the 1st line and period Ta3 is started.

[0236]As for the operation mentioned above, write-in period Ta, the display period Tr, and the non-display period Td appear repeatedly for every line crack and pixel of each line to forward [ as which the digital video signal of all the bits of 1-6 is inputted into a pixel ].

[0237]After all the display periods Tr1-Tr6 expire in the pixel of the 1st line, 1 frame period expires in the pixel of the 1st line, and the write-in period (this example Ta4) of the beginning of the next frame period is started again. After 1 frame period expires in the pixel of the 1st line, 1 frame period expires also in the pixel after the 2nd line, and write-in period Ta4 of the next frame period is started again.

[0238]And the operation mentioned above is repeated again. The timing which 1 frame period starts, and the timing to end have a time lag for every pixel of each line.

[0239]One picture can be displayed that 1 frame period expires in the pixel of all the lines.

[0240]At this example, it is [ -- It is considered as : $2^4$ : $2^5$ . ] the length of a display period Tr1:Tr2 : -- :Tr5:Tr6= $2^0$ : $2^1$  : A desired gradation display can be performed among gradation  $2^6$  in the combination of this display period.

[0241]By asking for total of the length of the display period when the EL element emitted light throughout [ one frame term ], the gradation which the pixel in the frame period concerned displayed is decided. For example, in the case of this example, if luminosity when a pixel emits light in all display periods is made into 100%, when a pixel emits light in Tr1 and Tr2, 5% of luminosity can be expressed, and when Tr3 and Tr5 are chosen, 32% of luminosity can be expressed.

[0242]In this invention, since the write-in period of the pixel of each line does not lap mutually, after the write-in period in the pixel of eye y line expires, the write-in period in the pixel of the 1st line is started.

[0243]In this example, the length of display period Tr5 of the pixel of each line has a long time more important than a period ( $\sigma Ta5$ ) after write-in period Ta5 of the pixel of the



1st line is started until write-in period  $Ta_5$  of the pixel of eye y line is completed.

[0244]The display periods  $Tr_1$ - $Tr_6$  may be made to appear in what kind of order. For example, in an one-frame term period, it is possible to also make a display period appear in the next of  $Tr_1$  in the order  $Tr_3$ ,  $Tr_5$ ,  $Tr_2$ , and --. However, it is required to keep the write-in period in the pixel of each line from lapping mutually.

[0245]In the drive method of this example, after write-in period  $Ta$  of the pixel of the 1st line is started, The length of the display period of the pixel of each line can be made shorter than the period which in other words writes the digital video signal for 1 bit in all the pixels during the period until write-in period  $Ta$  of the pixel of eye y line is completed. Therefore, since the length of the display period corresponding to a lower bit can be shortened even if the number of bits of a digital video signal increases, it is possible to display a high definition picture, without flickering a screen.

[0246]The luminescent device of this invention can obtain fixed luminosity, without being influenced by the temperature change. In a colored presentation, even when the EL element which has a different EL material for every color is provided, it can prevent the luminosity of the EL element of each color changing scatteringly, and not acquiring a desired color with temperature.

[0247]With the drive method of this example, a display period (this example  $Tr_6$ ) long No. 1 is not provided in the beginning of 1 frame period, and the last throughout [ one frame term ]. In other words, it has composition that other display periods contained throughout [ one frame term ] at the frame period same before or after a display period long No. 1 appear.

[0248]By the above-mentioned composition, when an intermediate floor tone is displayed, it is not recognized by human being's eyes but display unevenness which had occurred when the display period which emits light in adjacent frame periods adjoined can be \*\*\*\*(ed).

[0249]It combines with Example 4 freely and this example can be carried out.

[0250](Example 6) This example explains an example of a drive method which is different in Embodiment 2 which used the digital video signal of n bit. However, this example explains the case of  $m=n-2$ .

[0251]In the drive method of this example, the display period  $Tr_n$  corresponding to the digital video signal of the most significant bit is divided into 1st display period  $Tr_{n\_1}$  and 2nd display period  $Tr_{n\_2}$ . And corresponding to each of 1st display period  $Tr_{n\_1}$  and 2nd display period  $Tr_{n\_2}$ , 1st write-in period  $Tan\_1$  and 2nd write-in period  $Tan\_2$  are provided.

[0252]In the drive method of this example, the timing to which a write-in period, a display period, and a non-display period appear is shown in drawing 15. The horizontal axis shows time and the vertical axis shows the position of the gate signal line for writing which a pixel has, and the gate signal line for a display. However, since a write-in period is short, in order to make a figure legible, the arrow showed the timing by which the write-in periods  $Ta_1$ - $Ta_{(n-1)}$  corresponding to each bit,  $Tan\_1$ , and  $Tan\_2$  are started. An arrow shows a period ( $\sigma Ta_1 - \sigma Ta_{(n-1)}$ ,  $\sigma Tan\_1$ ,  $\sigma Tan\_2$ ) after the write-in period of the pixel



of the 1st line is started for every corresponding bit until the write-in period of the pixel of eye y line expires.

[0253]Since it is the same as the case of Embodiment 2 about detailed operation of a pixel, explanation is omitted here.

[0254]In this example, the display period corresponding to other bits is provided between 1st display period  $Trn\_1$  corresponding to the digital video signal of the same bit, and 2nd display period  $Trn\_2$ .

[0255]The length of the display periods  $Tr1-Trn$ ,  $Trn\_1$ , and  $Trn\_2$  is  $Tr1:Tr2 : \dots : Tr(n-1) : (Trn\_1+Trn\_2) = 2^0:2^1 : \dots : 2^{n-1}$  is filled.

[0256]In the drive method of this invention, gradation is displayed by controlling the sum of the length of the display period of an one-frame term throughout which emits light.

[0257]By the above-mentioned composition, when an intermediate floor tone is displayed, this example is not recognized by human being's eyes compared with the case of Examples 4 and 5, but can \*\*\*\* display unevenness which had occurred when the display period which emits light in adjacent frame periods adjoined.

[0258]Although this example explained the case where there were two display periods corresponding to the same bit, this invention is not limited to this. Three or more display periods corresponding to the bit same within 1 frame period may be provided.

[0259]Although two or more display periods corresponding to the digital video signal of the most significant bit were provided in this example, this invention is not limited to this. Two or more display periods corresponding to the digital video signal of bits other than the most significant bit may be provided. The bit in which two or more corresponding display periods were provided is not restricted only to one, but may be made the composition that two or more display periods correspond to each of some bits.

[0260]In the case of  $n \geq 2$ , the composition of this example is effective. It combines with Example 4 or 5 freely, and this example can be carried out.

[0261](Example 7) This example explains the composition of the drive circuit (a source signal line driving circuit and a gate signal line drive circuit) which the luminescent device of this invention has.

[0262]A block diagram shows the composition of the source signal line driving circuit 601 to drawing 16. As for a shift register and 603, the store circuit B and 605 are current regulator circuits the store circuit A and 604 602.

[0263]Start pulse signal SP is inputted into the shift register 602 as the clock signal CLK. The digital video signal (Digital Video Signals) is inputted into the store circuit A602, and the latch signal (Latch Signals) is inputted into the store circuit B603. The fixed current  $I_c$  outputted from the current regulator circuit 604 is inputted into a source signal line.

[0264]The more detailed composition of the source signal line driving circuit 601 is shown in drawing 17.

[0265]A timing signal is generated by inputting the clock signal CLK and start pulse signal SP into the shift register 602 from predetermined wiring. A timing signal is inputted into two

or more latches A (LATA\_1 - LATA\_x) whom the store circuit A603 has, respectively. After carrying out buffer amplification of the timing signal generated in the shift register 602 at this time with a buffer etc., it may be made composition which inputs into two or more latches A (LATA\_1 - LATA\_x) whom the store circuit A603 has, respectively.

[0266]If a timing signal is inputted into the store circuit A603, synchronizing with this timing signal, the digital video signal for 1 bit inputted into the video signal line 610 will be written in each of two or more latches A (LATA\_1 - LATA\_x), and will be held at order.

[0267]In this example, when incorporating a digital video signal into the store circuit A603, the digital video signal is inputted into two or more latches A (LATA\_1 - LATA\_x) whom the store circuit A603 has in order, but this invention is not limited to this composition. What is called a division drive that divides into some groups the latch of two or more stages which the store circuit A603 has, and inputs a digital video signal simultaneously in parallel for every group may be performed. The number of the groups at this time is called the number of partitions. For example, when a latch is divided into a group every four stages, it is said that a division drive is carried out by quadrisection.

[0268]Time until the writing of a digital video signal is briefly completed to the latch of all the stages of the store circuit A603 is called a line period. Actually, the period when the horizontal blanking interval was added to the above-mentioned line period may be included at a line period.

[0269]An end of 1 line period will supply the latch signal (Latch Signal) to two or more latches B (LATB\_1 - LATB\_x) whom the store circuit B604 has via the latch signal line 609. At this moment, the digital video signals currently held at two or more latches A (LATA\_1 - LATA\_x) whom the store circuit A603 has are written in two or more latches B (LATB\_1 - LATB\_x) whom the store circuit B604 has all at once, and are held.

[0270]Based on the timing signal from the shift register 602, the writing of the digital video signal for following 1 bit is performed in the store circuit A603 which finished sending out a digital video signal to the store circuit B604 one by one.

[0271]It is written in the store circuit B604 throughout [ one line term / of eye this 2 order ], and the digital video signal currently held is inputted into the current regulator circuit 605.

[0272]The current regulator circuit 605 has two or more current setting circuits (C1-Cx). If a digital video signal is inputted into each of a current setting circuit (C1-Cx), using the information on 1 or 0 which this digital video signal has. The fixed current  $I_c$  flows into a source signal line, the potential of the power supply lines V1-Vx is given to a source signal line, or either is chosen.

[0273]An example of the concrete composition of the current setting circuit C1 is shown in drawing 18. The current setting circuits C2-Cx also have the same composition.

[0274]The current setting circuit C1 has the constant current source 631, the four transmission gates SW1-SW4, and two inverter Inb1 and Inb2.

[0275]Switching of SW1-SW4 is controlled by the digital video signal outputted from LATB\_1 which the store circuit B604 has. The digital video signal inputted into SW1 and

SW3 and the digital video signal inputted into SW2 and SW4 are reversed by Inb1 and Inb2. Therefore, when SW1 and SW3 are one and OFF, and SW1 and SW3 are OFF SW2 and SW4, SW2 and SW4 are one.

[0276]When SW1 and SW3 are one, the current  $I_c$  is inputted into the source signal line S1 via SW1 and SW3 from the constant current source 631.

[0277]Conversely, when SW2 and SW4 are one, the current  $I_c$  from the constant current source 631 is dropped on a ground via SW2. The power supply potential of the power supply lines V1-Vx is given to the source signal line S1 via SW4.

[0278]With reference to drawing 17, the aforementioned operation is again performed simultaneously in all the current setting circuits (C1-Cx) which the current regulator circuit 605 has within 1 line period. Therefore, it is chosen whether in all the source signal lines, the fixed current  $I_c$  is sent by a digital video signal or power supply potential is given.

[0279]Another circuits, such as a decoder circuit, are used instead of a shift register, and it may be made to write a digital video signal in latch circuitry in order.

[0280]Next, the composition of the gate signal line drive circuit for writing and the gate signal line drive circuit for a display is explained. However, since the composition of the gate signal line drive circuit for writing and the gate signal line drive circuit for a display is almost the same, it represents here and only the gate signal line drive circuit for writing is explained.

[0281]Drawing 19 is a block diagram showing the composition of the gate signal line drive circuit 641 for writing.

[0282]The gate signal line drive circuit 641 for writing has the shift register 642 and the buffer 643, respectively. Depending on the case, it may have a level shifter.

[0283]In the gate signal line drive circuit 641 for writing, a timing signal is generated by inputting the clock CLK and start pulse signal SP into the shift register 642. In the buffer 643, buffer amplification of the generated timing signal is carried out, and it is supplied to the selected gate signal line for writing.

[0284]The gate electrode of TFT for the 1st switching of the pixel for one line and TFT for the 2nd switching is connected to the gate signal line for writing. And since TFT(s) for the 1st switching and TFT(s) for the 2nd switching of a pixel for one line must be turned ON all at once, what has that possible the buffer 643 sends big current is used.

[0285]In the case of the gate signal line drive circuit for a display, TFT(s) for EL drives connected to all the gate signal lines for a display are made one all at once in each display period. Therefore, the waveform differs from the clock signal CLK inputted into the shift register of the gate signal line drive circuit for writing, and start pulse signal SP.

[0286]Another circuits, such as a decoder circuit, are used instead of a shift register, a gating signal is chosen, and it may be made to supply a timing signal.

[0287]The drive circuit used in this invention is not limited to the composition shown by this example.

[0288]It combines with Example 1 - Example 6 freely, and this example can be carried out.

[0289](Example 8) This example shows an example of the plan of a pixel which has the composition shown in drawing 1.

[0290]The plan of the pixel of this example is shown in drawing 20. The pixel has source signal line Si, the power supply line Vi, the gate signal line Gaj for writing, and the gate signal line Gbj for a display. Source signal line Si is taken about with the connection wiring 182 in part so that the gate signal line Gj may not be contacted in the portion which laps with the gate signal line Gaj for writing, and the gate signal line Gbj for a display.

[0291]102 and 103 are TFT for the 1st switching, and TFT for the 2nd switching, respectively. 104 and 105 are TFT for current control, and TFT for EL drives, respectively.

[0292]In the source region and the drain area of TFT102 for the 1st switching, one side is connected to source signal line Si via the connection wiring 190.

Another side is connected to the drain area of TFT104 for current control via the connection wiring 183.

In the source region and the drain area of TFT103 for the 2nd switching, one side is connected to the drain area of TFT104 for current control via the connection wiring 183.

Another side is connected to the connection wiring 184 and the gate wire 185.

Some gate wires 185 are functioning as a gate electrode of TFT for current control.

[0293]A part of gate signal line Gaj for writing is functioning as a gate electrode of TFT102 for the 1st switching, and TFT103 for the 2nd switching.

[0294]Some of power supply lines Vi and gate wires 185 have lapped on both sides of the interlayer insulation film in between, and an overlapping portion becomes the capacitor 107.

[0295]The source region of TFT104 for current control is connected to the power supply line Vi, and the drain area is connected to the source region of TFT105 for EL drives via the connection wiring 186. The drain area of TFT105 for EL drives is connected to the picture element electrode 181. A part of gate signal line Gbj for a display is functioning as a gate electrode of TFT105 for EL drives.

[0296]The pixel which the luminescent device of this invention has is not limited to the composition shown in drawing 20. It combines with Examples 1-7 freely, and composition of this example can be carried out.

[0297](Example 9) This example explains how to produce TFT of the picture element part of the luminescent device of this invention. TFT which the drive circuit (the source signal line side drive circuit, the gate signal line side drive circuit for writing, the gate signal line side drive circuit for a display) provided around a picture element part has may be simultaneously formed on the same substrate as TFT of a picture element part.

[0298]First, the barium borosilicate glass represented by #7059 glass of Corning, Inc., #1737 glass, etc. as shown in drawing 21 (A), Or the ground film 5002 which comprises insulator layers, such as a silicon oxide film, a silicon nitride film, or an oxidation silicon nitride film, is formed on the substrate 5001 which comprises glass, such as alumino borosilicate glass. For example, 10-200 [nm] (preferably 50-100 [nm]) formation of  $\text{SiH}_4$ ,

$\text{NH}_3$ , and the oxidation silicon nitride film 5002a produced from  $\text{N}_2\text{O}$  is carried out with plasma CVD method, Laminating formation of  $\text{SiH}_4$  and the oxidation nitriding hydrogenation silicone film 5002b produced from  $\text{N}_2\text{O}$  is similarly carried out to the thickness of 50-200 [nm] (preferably 100-150 [nm]). Although this example showed the ground film 5002 as a two-layer structure, it may form as a structure made to laminate the monolayer of said insulator layer, or more than two-layer.

[0299]The island like semiconductor layers 5004-5006 are formed with the crystalline semiconductor film which produced the semiconductor membrane which has amorphous structure using a laser crystallization method and publicly known thermal crystallization method. The thickness of these island like semiconductor layers 5004-5006 is formed by the thickness of 25-80 [nm] (preferably 30-60 [nm]). Although there is no limitation in the material of a crystalline semiconductor film, it is good to form with silicon or a silicon germanium (SiGe) alloy preferably.

[0300]In order to produce a crystalline semiconductor film by a laser crystallization method, a pulse oscillation type or a continuation luminescence type excimer laser, and an YAG laser and  $\text{YVO}_4$  laser are used. When using these laser, it is good to use the method of condensing to a line the laser beam emitted from the laser oscillator by an optical system, and irradiating semiconductor membrane. Although an operation person makes \*\*\*\* selection, the conditions of crystallization are made into the pulse oscillation frequency 300 [Hz] when using an excimer laser, and set laser energy density to 100-400 [ $\text{mJ}/\text{cm}^2$ ] (typically 200-300 [ $\text{mJ}/\text{cm}^2$ ]). It is good to consider it as the pulse oscillation frequency 30-300 [kHz] using the 2nd harmonics, in using an YAG laser, and to set laser energy density to 300-600 [ $\text{mJ}/\text{cm}^2$ ] (typically 350-500 [ $\text{mJ}/\text{cm}^2$ ]). And by the width 100-1000 [ $\mu\text{m}$ ], for example, 400, [ $\mu\text{m}$ ], the laser beam which condensed to the line is crossed to an entire substrate, you irradiate with it, the linear laser light at this time makes it pile each other up, and a rate (overlapping rate) is performed as 50-90 [%].

[0301]Subsequently, the wrap gate dielectric film 5007 is formed for the island like semiconductor layers 5004-5006. The gate dielectric film 5007 is formed using plasma CVD method or a sputtering technique with the insulator layer which sets thickness to 40-150 [nm], and contains silicon. At this example, it forms with an oxidation silicon nitride film by the thickness of 120 [nm]. Of course, gate dielectric film is not limited to such an oxidation silicon nitride film, and may use the insulator layer containing other silicon as a monolayer or a laminated structure. For example, in using a silicon oxide film, it mixes TEOS (Tetraethyl Orthosilicate) and  $\text{O}_2$  with plasma CVD method, It can be considered as the reaction pressure 40 [Pa] and the substrate temperature 300-400 [°C], it can be made to be able to discharge by high frequency (13.56 [MHz]) and power flux density 0.5-0.8 [ $\text{W}/\text{cm}^2$ ], and can form. Thus, the silicon oxide film produced can obtain the characteristic good as

gate dielectric film by the thermal annealing of 400-500 [°C] after that.

[0302]And the 1st conducting film 5008 and 2nd conducting film 5009 for forming a gate electrode on the gate dielectric film 5007 are formed. In this example, the 1st conducting film 5008 is formed in the thickness of 50-100 [nm] by Ta, and the 2nd conducting film 5009 is formed in the thickness of 100-300 [nm] by W.

[0303]A Ta film is a sputtering technique and is formed by carrying out the weld slag of the target of Ta by Ar. In this case, if optimum dose of Xe and Kr are added to Ar, the internal stress of a Ta film can be eased and exfoliation of a film can be prevented. Although the resistivity of the Ta film of alpha phase is 20 [ $\mu\Omega\text{cm}$ ] grades and can be used for a gate electrode, the resistivity of the Ta film of a parent phase is 180 [ $\mu\Omega\text{cm}$ ] grades, and is unsuitable for considering it as a gate electrode. In order to form the Ta film of alpha phase, if tantalum nitride with the crystal structure near alpha phase of Ta is formed in the ground of Ta by the thickness about 10-50 [nm], the Ta film of alpha phase can be obtained easily.

[0304]In forming W film, it forms by the sputtering technique which targeted W. In addition, it can also form with the heat CVD method using tungsten fluoridation ( $\text{WF}_6$ ). Anyway, in order to use it as a gate electrode, it is necessary to attain low resistance-ization, and as for the resistivity of W film, it is desirable to use below 20 [ $\mu\Omega\text{cm}$ ]. In W, although W film can attain rate-ization of low resistance by enlarging a crystal grain, when there are many impurity elements, such as oxygen, crystallization is checked and high-resistance-izes it. From this, when based on a sputtering technique, resistivity 9-20 [ $\mu\Omega\text{cm}$ ] can be realized using W target of purity 99.9999 [%] by considering enough and forming W film so that there may be no mixing of the impurity out of the gaseous phase further at the time of membrane formation.

[0305]In this example, although the 1st conducting film 5008 was set to Ta and the 2nd conducting film 5009 was set to W, it is not limited in particular but all may form the element chosen from Ta, W, Ti, Mo, aluminum, Cu, etc., or said element with the charge of an alloy or compound material used as the main ingredients. The semiconductor membrane represented by the polycrystalline silicon film which doped impurity elements, such as Linn, may be used. As a desirable thing, with an example of other combination other than this example, the 1st conducting film 5008 is formed by tantalum nitride (TaN), and the 2nd conducting film 5009 is set to W, [ combine and ] The 1st conducting film 5008 is formed by tantalum nitride (TaN), and the combination which sets the 2nd conducting film 5009 to aluminum and which combines, forms the 1st conducting film 5008 by tantalum nitride (TaN), and sets the 2nd conducting film 5009 to Cu is mentioned. (Drawing 21 (A))

[0306]Next, the 1st etching process for forming the mask 5010 by resist and forming an electrode and wiring is performed. In this example, an ICP (Inductively Coupled Plasma: inductive-coupling type plasma) etching method is used, It carries out by mixing  $\text{CF}_4$  and  $\text{Cl}_2$  in the gas for etching, supplying RF (13.56 [MHz]) electric power of 500 [W] to a coil

type electrode by the pressure of 1 [Pa], and generating plasma. RF (13.56 [MHz]) electric power of 100 [W] is supplied also to the substrate side (sample stage), and negative auto-bias voltage is impressed substantially. When  $\text{CF}_4$  and  $\text{Cl}_2$  are mixed, W film and a Ta film are etched to the same extent.

[0307]In the above-mentioned etching condition, the end of the 1st conductive layer and the 2nd conductive layer serves as taper shape by having been suitable in the shape of the mask by resist by the effect of the bias voltage impressed to the substrate side. The angle of a taper part will be 15-45 degrees. In order to etch without leaving residue on gate dielectric film, it is good to make etching time increase at a rate about 10-20 [%]. Since the selection ratios of an oxidation silicon nitride film to W film are 2-4 (typically 3), 20-50 [nm] grade etching of the field which the oxidation silicon nitride film exposed will be carried out by over etching processing. In this way, the conductive layers 5011-5015 (the 1st conductive layers 5011a-5015a and 2nd conductive layer 5011b-5015b) of the 1st shape that comprises the 1st conductive layer and 2nd conductive layer by the 1st etching process are formed. At this time, the field which 20-50 [nm] grade etching of the field which is not covered by the conductive layers 5011-5015 of the 1st shape was carried out, and became thin is formed in the gate dielectric film 5007.

[0308]And the impurity element which performs 1st doping processing and gives N type is added. What is necessary is just to perform the method of doping with the ion doping method or ion implantation. The conditions of the ion doping method make a dose  $1 \times 10^{13} - 5 \times 10^{14}$  [atoms/cm<sup>2</sup>], and perform accelerating voltage as 60-100 [keV]. the element which belongs to 15 fellows as an impurity element which gives N type -- typical -- Lynn -- although (P) or arsenic (As) is used -- here -- Lynn -- (P) is used. In this case, the conductive layers 5012-5015 serve as a mask to the impurity element which gives N type, and the 1st impurity range 5017-5023 is formed in self align. In the 1st impurity range 5017-5023, the impurity element which gives N type in the density range of  $1 \times 10^{20} - 1 \times 10^{21}$  [atoms/cm<sup>3</sup>] is added. (Drawing 21 (B))

[0309]Next, as shown in drawing 21 (C), a resist mask performs the 2nd etching process, not removed.  $\text{CF}_4$ ,  $\text{Cl}_2$ , and  $\text{O}_2$  are used for etching gas, and W film is etched selectively. At this time, the conductive layers 5025-5029 (the 1st conductive layers 5025a-5029a and 2nd conductive layer 5025b-5029b) of the 2nd shape are formed by the 2nd etching process. At this time, the field which 20-50 [nm] grade etching of the field which is not covered by the conductive layers 5025-5029 of the 2nd shape was carried out at the pan, and became thin is formed in the gate dielectric film 5007.

[0310]The etching reaction by the mixed gas of  $\text{CF}_4$  of W film or a Ta film and  $\text{Cl}_2$  can be guessed from the steam pressure of the radical or the ionic species, and the resultant which are generated. If the steam pressure of the fluoride of W and Ta and a chloride is compared,  $\text{WF}_6$  which is the fluoride of W is extremely high, and other  $\text{WCl}_5$ ,  $\text{TaF}_5$ , and



TaCl<sub>5</sub> have it. [comparable] Therefore, W film and a Ta film are etched in the mixed gas of CF<sub>4</sub> and Cl<sub>2</sub>. However, if optimum dose of O<sub>2</sub> is added to this mixed gas, CF<sub>4</sub> and O<sub>2</sub> will react, and it will be set to CO and F, and will be generated so much by F radical or F ion. As a result, the etch rate of W film with high steam pressure of fluoride increases. On the other hand, even if, as for Ta, F increases, there are few increases in an etch rate relatively. Since Ta oxidizes easily as compared with W, the surface of Ta oxidizes by adding O<sub>2</sub>. In order that the oxide of Ta may not react to fluoride or chlorine, the etch rate of a Ta film falls further. Therefore, it becomes possible to become possible to make a difference in the etch rate of W film and a Ta film, and to make the etch rate of W film larger than a Ta film.

[0311]And as shown in drawing 22 (A), 2nd doping processing is performed. In this case, the impurity element which lowers a dose and gives N type as conditions for high accelerating voltage rather than the 1st doping processing is doped. For example, a new impurity range is formed inside the 1st impurity range that set accelerating voltage to 70-120 [keV], carried out with the dose of  $1 \times 10^{13}$  [atoms/cm<sup>2</sup>], and was formed in the island like semiconductor layer by drawing 21 (B). Doping uses the conductive layers 5026-5029 of the 2nd shape as a mask to an impurity element, and it dopes them so that an impurity element may be added by the field of the 1st conductive layer [5026]-5029a bottom. In this way, the 3rd impurity range 5032-5035 is formed. The concentration of Lynn (P) added by this 3rd impurity range 5032-5035 has a loose concentration gradient according to the thickness of the taper part of the 1st conductive layer 5026a-5029a. In the semiconductor layer which laps with the taper part of the 1st conductive layer 5026a-5029a, although impurity concentration is low a little toward the end of the taper part of the 1st conductive layer 5026a-5029a to the inside, it is almost comparable concentration.

[0312]As shown in drawing 22 (B), the 3rd etching process is performed. CHF<sub>6</sub> is used for etching gas and it carries out using a reactive-ion-etching method (the RIE method). The field which etches selectively the taper part of the 1st conductive layer 5025a-5029a and where the 1st conductive layer laps with a semiconductor layer by the 3rd etching process is reduced. By the 3rd etching process, the conductive layers 5036-5040 (the 1st conductive layers 5036a-5040a and 2nd conductive layer 5036b-5040b) of the 3rd shape are formed. At this time, the field which 20-50 [nm] grade etching of the field which is not covered by the conductive layers 5036-5040 of the 3rd shape was carried out at the pan, and became thin is formed in the gate dielectric film 5007.

[0313]In the 3rd impurity range 5032-5035 by the 3rd etching process, The 2nd impurity range 5032b-5035b between the 3rd impurity range 5032a-5035a that laps with the 1st conductive layer 5037a-5040a, and the 1st impurity range and the 3rd impurity range is formed.

[0314]And as shown in drawing 22 (C), the 4th impurity range 5043-5054 of a conductivity



type contrary to the 1st conductivity type is formed in the island like semiconductor layers 5005 and 5006 which form P channel type TFT. The conductive layers 5039b and 5040b of the 3rd shape are used as a mask to an impurity element, and an impurity range is formed in self align. At this time, the island like semiconductor layers 5005 and 5005 and the wiring section 5036 which form N channel type TFT cover the whole surface with the resist mask 5200. Although Lynn is added by the impurity ranges 5043-5054 by concentration different, respectively, It forms by the ion doping method using diborane ( $B_2H_6$ ), and is made for impurity concentration to serve as  $2 \times 10^{20} - 2 \times 10^{21}$  [atoms/cm<sup>3</sup>] also in which the field.

[0315]An impurity range is formed in each island like semiconductor layer at the process to the above. The conductive layers 5037-5040 of the 3rd shape which lap with an island like semiconductor layer function as a gate electrode. 5036 functions as a source signal line of island shape.

[0316]After removing the resist mask 5200, the process of activating the impurity element added by each island like semiconductor layer for the purpose of control of a conductivity type is performed. This process is performed by the thermal annealing method for using a furnace annealing furnace. In addition, the laser annealing method or the rapid thermal annealing method (the RTA method) is applicable. By a thermal annealing method, preferably, in the nitrogen atmosphere below 0.1 [ppm], it carries out by 500-600 [°C] typically, and an oxygen density performs [ 400-700 [°C], and ] heat treatment of 4 hours by 500 [°C] by this example below 1 [ppm]. However, when the wiring material used for the conductive layers 5036-5040 of the 3rd shape is weak with heat, it is preferred to be activated after forming an interlayer insulation film (let silicon be the main ingredients), in order to protect wiring etc.

[0317]In the atmosphere containing hydrogen of 3-100 [%], 1 - heat treatment of 12 hours are performed by 300-450 [°C], and the process of hydrogenating an island like semiconductor layer is performed. This process is a process of carrying out the termination of the dangling bond of a semiconductor layer by the hydrogen excited thermally. As other means of hydrogenation, plasma hydrogenation (the hydrogen excited by plasma is used) may be performed.

[0318]Subsequently, as shown in drawing 23 (A), the 1st interlayer insulation film 5055 is formed by the thickness of 100-200 [nm] from an oxidation silicon nitride film. After forming the 2nd interlayer insulation film 5056 that comprises organic insulating material material on it, After forming a contact hole to the 1st interlayer insulation film 5055, the 2nd interlayer insulation film 5056, and the gate dielectric film 5007 and carrying out patterning formation of the connection wiring 5057-5062, patterning formation of the picture element electrode 5064 which touches the connection wiring (drain wiring) 5062 is carried out. Source wiring and drain wiring are contained in connection wiring. Source wiring is the wiring connected to the source region of an active layer, and drain wiring means the wiring connected to the drain area.

[0319]As the 2nd interlayer insulation film 5056, polyimide, polyamide, an acrylic, BCB (benz-cyclo-butene), etc. can be used as the organic resin using a film made from organic resin. Since especially the 2nd interlayer insulation film 5056 has the strong implications of flattening, its acrylic excellent in surface smoothness is preferred. At this example, an acrylic film is formed by the thickness which can fully carry out flattening of the level difference formed of TFT. What is necessary is to just be preferably referred to as 1-5 [ $\mu\text{m}$ ] (still more preferably 2-4 [ $\mu\text{m}$ ]).

[0320]Formation of a contact hole uses dry etching or wet etching, The contact hole which arrives at the impurity ranges 5017-5019 of N type, or the impurity ranges 5043, 5048, 5049, and 5054 of P type, The contact hole which reaches the wiring 5036, the contact hole (not shown) which reaches a power supply line, and the contact hole (not shown) which reaches a gate electrode are formed, respectively.

[0321]What patterned the cascade screen of the three-tiered structure which carried out the aluminum film which contains 100 [nm] and Ti for a Ti film by 300 [nm], and carried out continuously forming of Ti film 150 [nm] by the sputtering technique after desired shape is used as the connection wiring 5057-5062. Of course, other conducting films may be used.

[0322]In this example, it patterned by forming an ITO film in the thickness of 110 [nm] as the picture element electrode 5064. Contact is taken by arranging the picture element electrode 5064 so that it may lap in contact with the connection wiring 5062. The transparent conducting film which mixed the zinc oxide (ZnO) of 2-20 [%] may be used for indium oxide. This picture element electrode 5064 turns into the anode of an EL element. (Drawing 23 (A))

[0323]Next, as shown in drawing 23 (B), the insulator layer (this example oxidized silicon film) containing silicon is formed in the thickness of 500 [nm], an opening is formed in the position corresponding to the picture element electrode 5064, and the 3rd interlayer insulation film 5065 that functions as a bank is formed. When forming an opening, it can be easily considered as the side attachment wall of taper shape by using the wet etching method. Since degradation of the EL layer resulting from a level difference will pose a remarkable problem if the side attachment wall of an opening is not gently-sloping enough, cautions are required.

[0324]Next, continuously forming of EL layer 5066 and the negative pole (MgAg electrode) 5067 is carried out without carrying out air release using a vacuum deposition method. The thickness of EL layer 5066 should just set thickness of 80-200 [nm] (typically 100-120 [nm]), and the negative pole 5067 to 180-300 [nm] (typically 200-250 [nm]).

[0325]In this process, an EL layer and the negative pole are formed one by one to the pixel corresponding to red, a pixel corresponding green, and a pixel corresponding blue.

however, the \*\* which does not use photolithography technique since an EL layer is lacking in the tolerance over a solution -- each color -- it must form individually. Then, it is preferred that hide except a desired pixel using a metal mask, and only a necessary part forms an EL layer and the negative pole selectively.

[0326]That is, the mask which hides except [ all ] the pixel corresponding to red first is set, and the EL layer of red light is selectively formed using the mask. Subsequently, the mask which hides except [ all ] a pixel corresponding green is set, and the EL layer of green emission is selectively formed using the mask. Subsequently, the mask which hides except [ all ] a pixel corresponding blue in a similar manner is set, and the EL layer of blue light is selectively formed using the mask. The same mask may be used about although it has indicated that a mask which is altogether different here is used.

[0327]Although the method which forms three kinds of EL elements corresponding to RGB was used here, The method which combined the EL element and fluorescent substance (the color conversion layer of fluorescence: CCM) of the method which combined the EL element and light filter of white light, blue, or bluish green luminescence, the method which puts the EL element corresponding to RGB on the negative pole (counterelectrode) using a transparent electrode, etc. may be used.

[0328]A publicly known material can be used as EL layer 5066. It is preferred to use organic materials as a publicly known material, if driver voltage is taken into consideration. For example, what is necessary is just to let four layer systems which become with a hole injection layer, an electron hole transporting bed, a luminous layer, and an electronic injection layer be EL layers.

[0329]Next, the negative pole 5067 is formed. Although MgAg was used as the negative pole 5067 in this example, this invention is not limited to this. Other publicly known materials may be used as the negative pole 5067.

[0330]The passivation film 5068 which becomes the last with a silicon nitride film is formed in the thickness of 300 [nm]. By forming the passivation film 5068, EL layer 5066 can be protected from moisture etc. and the reliability of an EL element can be improved further. It is not necessary to necessarily form the passivation film 5068.

[0331]In this way, the luminescent device of structure as shown in drawing 23 (B) is completed. In the creation process of the luminescent device in this example, On the composition of a circuit, and the relation of a process, although the gate signal line is formed by aluminum which is the wiring material which forms a source signal line and forms source and a drain electrode by Ta and W which are the material which forms the gate electrode, different materials may be used.

[0332]By the way, by arranging TFT of the optimal structure not only for a picture element part but a drive circuit, the luminescent device of this example shows very high reliability, and its operating characteristic may also improve. It is also possible to add the metal catalyst of nickel etc. in a crystallization stage, and to improve crystallinity. It is possible to carry out drive frequency of a source signal line driving circuit by it more than 10 [MHz].

[0333]When completing to the state of drawing 23 (B) actually, airtightness is high and it is preferred to carry out packaging (enclosure) with protective films with little degasifying (a laminate film, an ultraviolet-curing-resin film, etc.) or the sealing material of translucency so that it may not be further put to the open air. In that case, if the inside of a sealing material

is made into an inert atmosphere or a hygroscopic material (for example, barium oxide) is arranged inside, the reliability of an EL element will improve.

[0334]If processing of packaging etc. raises airtightness, the connector (flexible printed circuit: FPC) for connecting the terminal and external signal terminal which were taken about from the element formed on the substrate or the circuit will be attached.

[0335]If the process shown by this example is followed, the number of photo masks required for production of a luminescent device can be stopped. As a result, a process can be shortened and it can contribute to reduction of a manufacturing cost, and improvement in the yield.

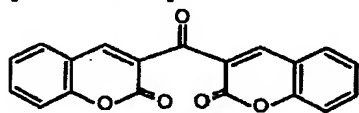
[0336]It combines with Examples 1-8 freely, and this example can be carried out.

[0337](Example 10) In this invention, external light quantity child efficiency can be raised by leaps and bounds by using the EL material which can use the phosphorescence from a triplet exciton for luminescence. Thereby, the low power consumption of an EL element, reinforcement, and a weight saving become possible.

[0338]Here, a triplet exciton is used and the report which raised external light quantity child efficiency is shown. (T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)[0339]The molecular formula of the EL material (coumarin coloring matter) reported by the above-mentioned paper is shown below.

[0340]

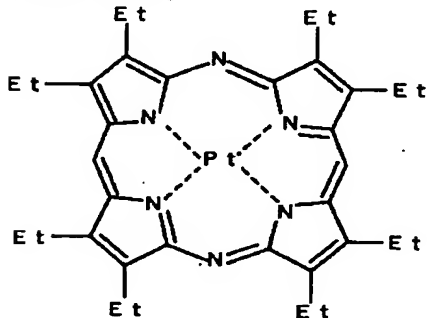
[Formula 1]



[0341](M.A.Baldo,D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson,S.R.Forrest, Nature 395(1998) p.151. [0342]The molecular formula of the EL material (Pt complex) reported by the above-mentioned paper is shown below.

[0343]

[Formula 2]

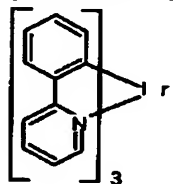


[0344](M.A.Baldo,S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett.,75 (1999) p.4.) (T. Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura,T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys. and 38 (.) 12B) (1999)

L1502.)[0345]The molecular formula of the EL material (Ir complex) reported by the above-mentioned paper is shown below.

[0346]

[Formula 3]



[0347]If phosphorescence luminescence from a triplet exciton can be used as mentioned above, realization of one 3 to 4 times the high external light quantity child efficiency of this will be attained from the case where the firefly luminescence from a singlet exciton is used theoretically.

[0348]It combines with any composition of Example 1 - Example 9 freely, and composition of this example can be carried out.

[0349](Example 11) This example explains the case where an organic semiconductor is used for an active layer, as TFT used for the luminescent device of this invention. TFT which used the organic semiconductor for the active layer is hereafter called organic TFT.

[0350]The sectional view of organic planer type TFT is shown in drawing 27 (A). The gate electrode 8002 is formed on the substrate 8001. And the gate electrode 8002 is covered and the gate dielectric film 8003 is formed on the substrate 8001. The source electrode 8005 and the drain electrode 8006 are formed on the gate dielectric film 8003. The source electrode 8005 and the drain electrode 8006 are covered, and the film (organic semiconductor film) 8004 which consists of organic semiconductors is formed on the gate dielectric film 8003.

[0351]The sectional view of organic reverse stagger type TFT is shown in drawing 27 (B). The gate electrode 8102 is formed on the substrate 8101. And the gate electrode 8102 is covered and the gate dielectric film 8103 is formed on the substrate 8101. The organic semiconductor film 8104 is formed on the gate dielectric film 8103. The source electrode 8105 and the drain electrode 8106 are formed on the organic semiconductor film 8104.

[0352]The sectional view of organic stagger type TFT is shown in drawing 27 (C). The source electrode 8205 and the drain electrode 8106 are formed on the substrate 8201. And the source electrode 8205 and the drain electrode 8106 are covered, and the organic semiconductor film 8204 is formed on the substrate 8201. The gate dielectric film 8203 is formed on the organic semiconductor film 8204. The gate electrode 8202 is formed on the gate dielectric film 8203.

[0353]An organic semiconductor is classified into a polymers system and a low molecule system. As for a typical material of a polymers system, a polythiophene, polyacetylene, poly (N-methylpyrrole), poly (3-alkyl thiophene), polyallylene vinylene, etc. are mentioned.

[0354]The organic semiconductor film which has a polythiophene can be formed with the

electric field polymerizing method or a vacuum deposition method. The organic semiconductor film which has polyacetylene can be formed by the chemical polymerization method or the applying method. The organic semiconductor film which has poly (N-methylpyrrole) can be formed by a chemical polymerization method. The organic semiconductor film which has poly (3-alkyl thiophene) can be formed by the applying method or the LB method. The organic semiconductor film which has polyallylene vinylene can be formed by the applying method.

[0355]As for a typical material of a low molecule system, a quarter thiophene, a dimethyl quarter thiophene, Zifta Russia Nin, anthracene, tetracene, etc. are mentioned. The organic semiconductor film using the material of these low molecule system can mainly be formed by vacuum deposition and the cast which used the solvent.

[0356]The composition of this example can be combined with the composition and freedom of Examples 1-10, and can be carried out.

[0357](Example 12) Since the luminescent device using an EL element is a spontaneous light type, compared with a liquid crystal display, it is excellent in the visibility in a bright place, and its angle of visibility is large. Therefore, it can use for the indicator of various electronic equipment.

[0358]As electronic equipment using the luminescent device of this invention, a video camera, a digital camera, A goggles type display (head mount display), a navigation system, Sound systems (a car audio, an audio component stereo, etc.), a note type personal computer, A game machine machine, a Personal Digital Assistant (a mobile computer, a cellular phone, a handheld game machine, or a digital book), The picture reproducer (device provided with the display which specifically reproduces recording media, such as Digital Versatile Disc (DVD), and can display the picture) provided with the recording medium etc. are mentioned. As for especially the Personal Digital Assistant with many opportunities to see a screen from an oblique direction, since importance is attached to the size of an angle of visibility, it is desirable to use a luminescent device. The example of these electronic equipment is shown in drawing 24.

[0359]Drawing 24 (A) is an EL display and contains the case 2001, the buck 2002, the indicator 2003, the loudspeaker part 2004, and video input terminal 2005 grade. The luminescent device of this invention can be used for the indicator 2003. Since it is a spontaneous light type, the back light of a luminescent device is unnecessary, and it can be made into an indicator thinner than a liquid crystal display. As for an EL display, all the displays for information displays the object for personal computers, the object for TV broadcast reception, for advertising displays, etc. are contained.

[0360]Drawing 24 (B) is a digital still camera, and contains the main part 2101, the indicator 2102, the television part 2103, the operation key 2104, the external connection port 2105, and shutter 2106 grade. The luminescent device of this invention can be used for the indicator 2102.

[0361]Drawing 24 (C) is a note type personal computer, and contains the main part 2201,

the case 2202, the indicator 2203, the keyboard 2204, the external connection port 2205, and pointing mouse 2206 grade. The luminescent device of this invention can be used for the indicator 2203.

[0362]Drawing 24 (D) is a mobile computer and contains the main part 2301, the indicator 2302, the switch 2303, the operation key 2304, and infrared port 2305 grade. The luminescent device of this invention can be used for the indicator 2302.

[0363]Drawing 24 (E) is the portable picture reproducer (specifically DVD reproducer) provided with the recording medium, and contains the main part 2401, the case 2402, the indicator A2403, the indicator B2404, the recording-media (DVD etc.) reading part 2405, the operation key 2406, and loudspeaker part 2407 grade. Although the indicator A2403 mainly displays picture information and the indicator B2404 mainly displays text, the luminescent device of this invention can be used for these indicators A, B2403, and 2404. A home video game machine machine etc. are contained in the picture reproducer provided with the recording medium.

[0364]Drawing 24 (F) is a goggles type display (head mount display), and contains the main part 2501, the indicator 2502, and the arm part 2503. The luminescent device of this invention can be used for the indicator 2502.

[0365]Drawing 24 (G) is a video camera and contains the main part 2601, the indicator 2602, the case 2603, the external connection port 2604, the remote control receive section 2605, the television part 2606, the battery 2607, the voice input part 2608, and operation key 2609 grade. The luminescent device of this invention can be used for the indicator 2602.

[0366]Drawing 24 (H) is a cellular phone and contains the main part 2701, the case 2702, the indicator 2703, the voice input part 2704, the voice output part 2705, the operation key 2706, the external connection port 2707, and antenna 2708 grade here. The luminescent device of this invention can be used for the indicator 2703. The indicator 2703 can stop the power consumption of a cellular phone by displaying a white character on a black background.

[0367]If the light emitting luminance of an EL material will become high in the future, it will also become possible to carry out extended projection of the light containing the outputted picture information with a lens etc., and to use for the projector of a front type or a rear mold.

[0368]The above-mentioned electronic equipment displays more often the information distributed through electronic communication lines, such as the Internet and CATV (cable TV), and its opportunity to display especially moving image information is increasing. Since the speed of response of an EL material is very high, a luminescent device is preferred to animation display.

[0369]As for a luminescent device, in order that the portion which is emitting light may consume electric power, it is desirable to display information so that emitting parts may decrease as much as possible. Therefore, when using a luminescent device for the

indicator which is mainly concerned with text like a Personal Digital Assistant especially a cellular phone, or a sound system, it is desirable to drive so that text may be formed by emitting parts by making a nonluminescent portion into a background.

[0370]As mentioned above, the scope of this invention is very wide, and using for the electronic equipment of all fields is possible. The electronic equipment of this example may use the luminescent device of the composition of a gap to be shown in Examples 1-11.

[0371]

[Effect of the Invention]

[0372]By composition mentioned above, the luminescent device of this invention can obtain fixed luminosity, without being influenced by the temperature change. In a colored presentation, even when the EL element which has a different EL material for every color is provided, it can prevent the luminosity of the EL element of each color changing scatteringly, and not acquiring a desired color with temperature.

---

[Translation done.]



## \* NOTICES \*

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1]The circuit diagram of the pixel of the luminescent device of this invention.

[Drawing 2]The upper surface block diagram of the luminescent device of this invention.

[Drawing 3]The timing chart of the signal inputted into the gate signal line for writing, and the gate signal line for a display.

[Drawing 4]The schematic diagram of the pixel in a drive.

[Drawing 5]The figure showing the timing to which a write-in period and a display period appear.

[Drawing 6]The timing chart of the signal inputted into the gate signal line for writing, and the gate signal line for a display.

[Drawing 7]The timing chart of the signal inputted into the gate signal line for writing, and the gate signal line for a display.

[Drawing 8]The schematic diagram of the pixel in a drive.

[Drawing 9]The figure showing the timing to which a write-in period, a display period, and a non-display period appear.

[Drawing 10]The timing chart of the signal inputted into the gate signal line for writing, and the gate signal line for a display.

[Drawing 11]The timing chart of the signal inputted into the gate signal line for writing, and the gate signal line for a display.

[Drawing 12]The timing chart of the signal inputted into the gate signal line for writing, and the gate signal line for a display.

[Drawing 13]The figure showing the timing to which a write-in period, a display period, and a non-display period appear.

[Drawing 14]The figure showing the timing to which a write-in period, a display period, and a non-display period appear.

[Drawing 15]The figure showing the timing to which a write-in period, a display period, and a non-display period appear.

[Drawing 16]The block diagram of a source signal line driving circuit.

[Drawing 17]The detail view of a source signal line driving circuit.

[Drawing 18]The circuit diagram of the current setting circuit C1.

[Drawing 19]The block diagram of a gate signal line drive circuit

[Drawing 20]The plan of the pixel of the luminescent device of this invention.

[Drawing 21]The figure showing the manufacturing method of the luminescent device of this invention.

[Drawing 22]The figure showing the manufacturing method of the luminescent device of this invention.

[Drawing 23]The figure showing the manufacturing method of the luminescent device of this invention.

[Drawing 24]The figure of the electronic equipment using the luminescent device of this invention.

[Drawing 25]The circuit diagram of the pixel of a common luminescent device.

[Drawing 26]The figure showing the volt ampere characteristic of an EL element.

[Drawing 27]The sectional view of TFT using an organic semiconductor.

---

[Translation done.]

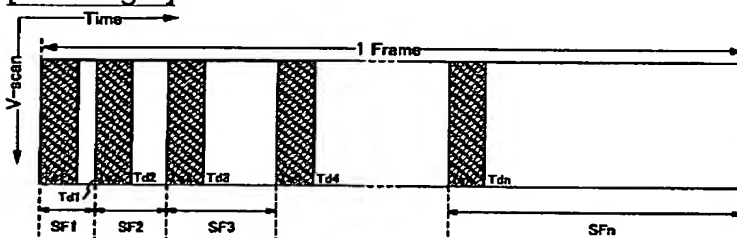
# \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

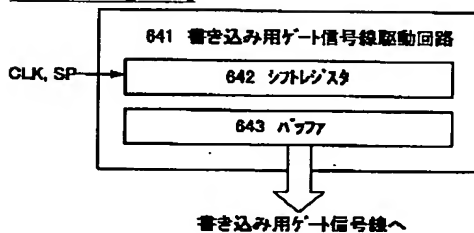
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

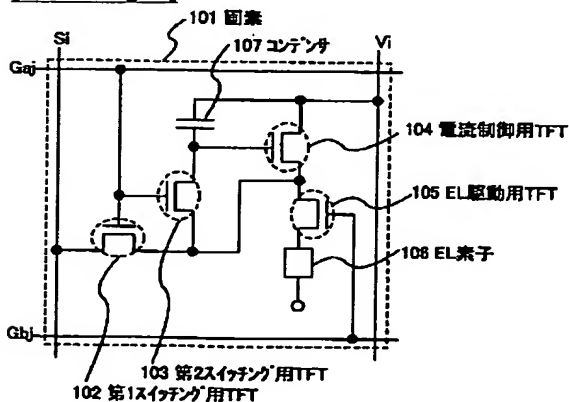
[Drawing 5]



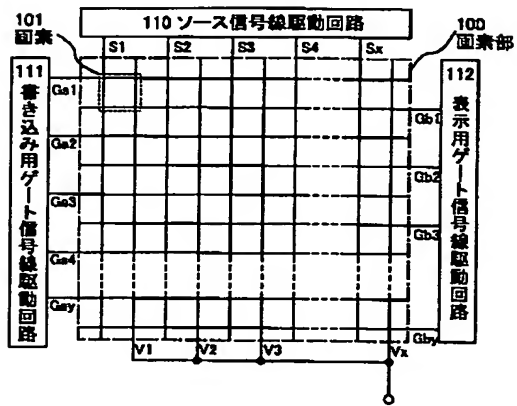
[Drawing 19]



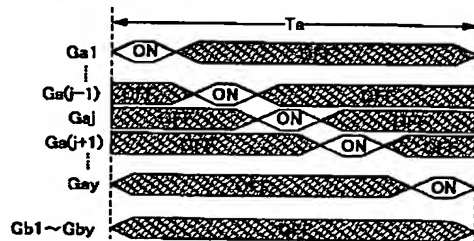
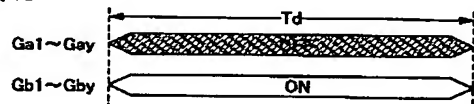
[Drawing 1]



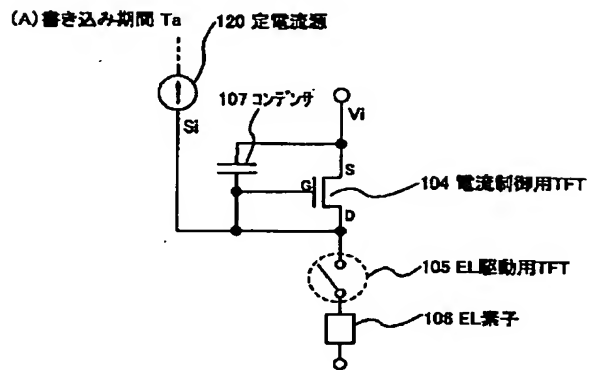
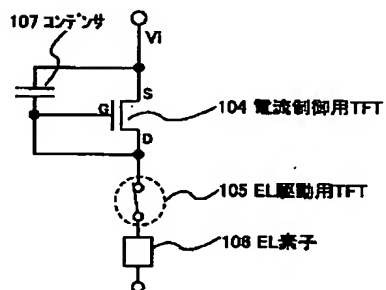
[Drawing 2]



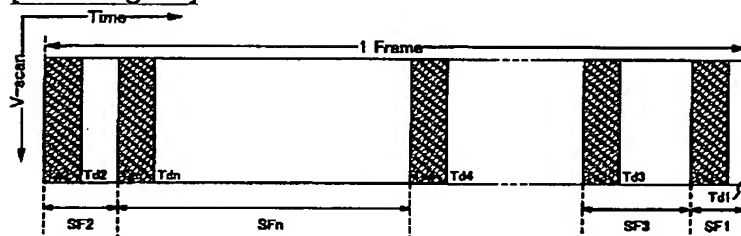
[Drawing 3]

(A)書き込み期間  $T_a$ (B)表示期間  $T_d$ 

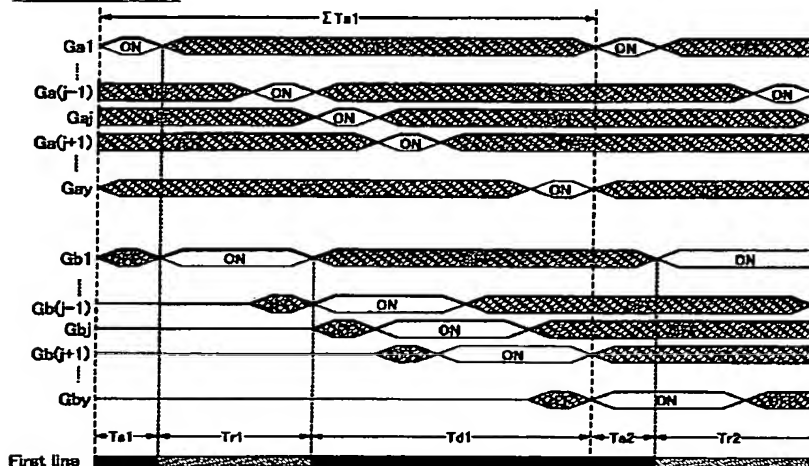
[Drawing 4]

(B) 表示期間  $T_d$ 

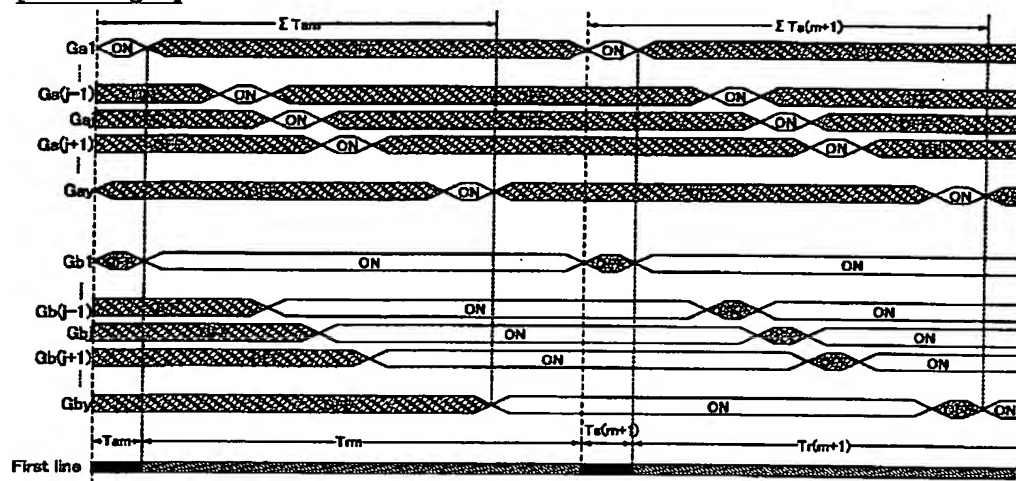
[Drawing 10]



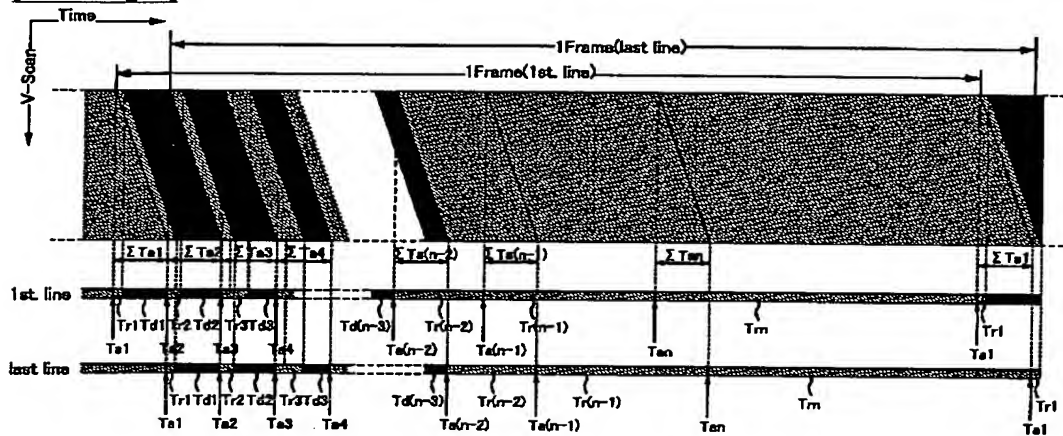
[Drawing 6]



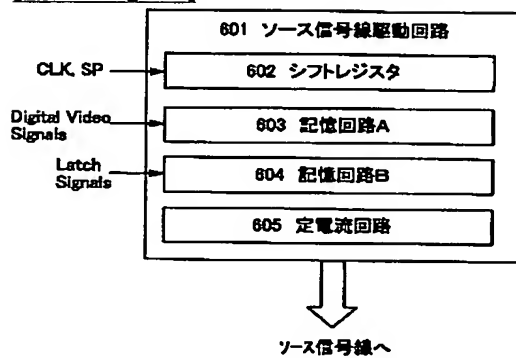
[Drawing 7]



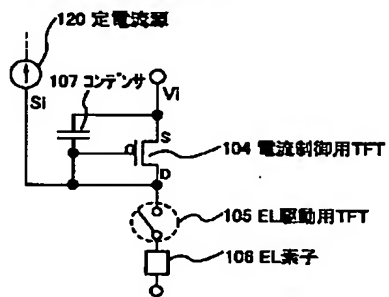
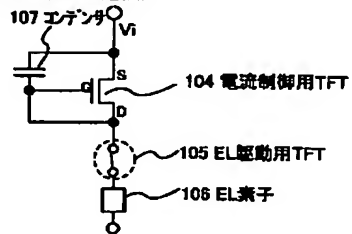
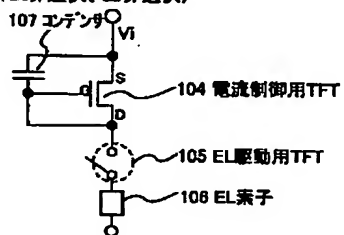
[Drawing 9]



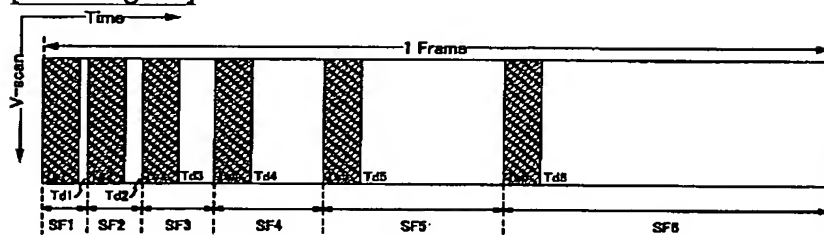
[Drawing 16]



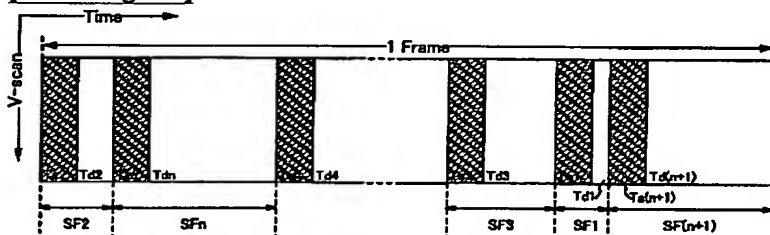
[Drawing 8]

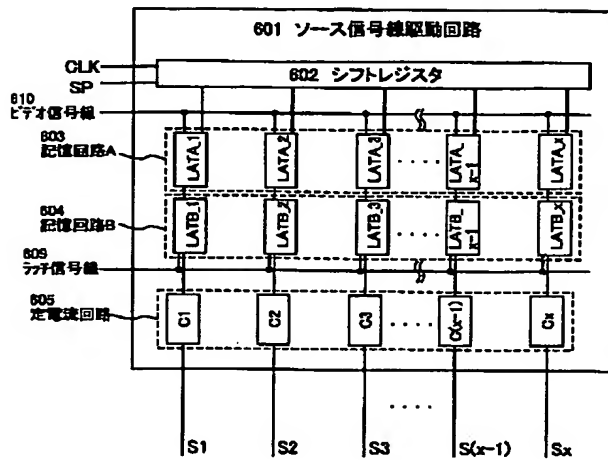
(A)書き込み期間 $T_w$ (Ga選択、Gb非選択)(B)表示期間 $T_r$ (Ga非選択、Gb選択)(C)非表示期間 $T_o$ (Ga非選択、Gb非選択)

[Drawing 11]

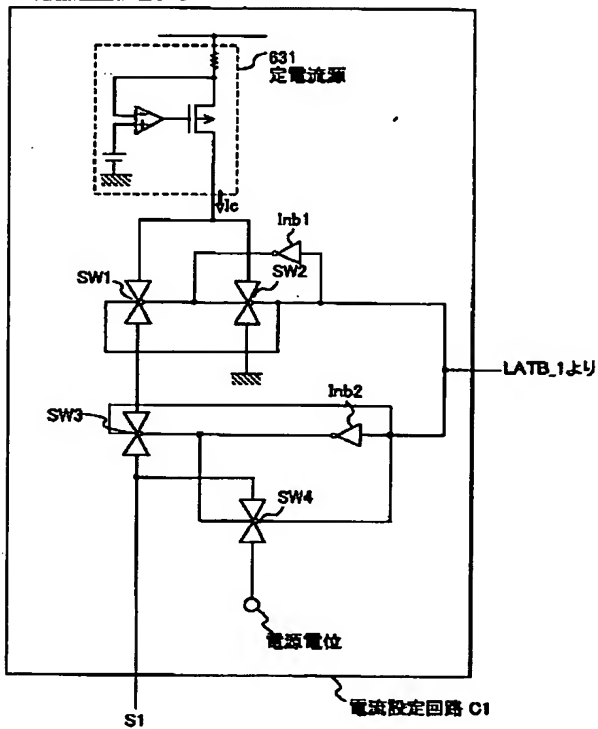


[Drawing 12]

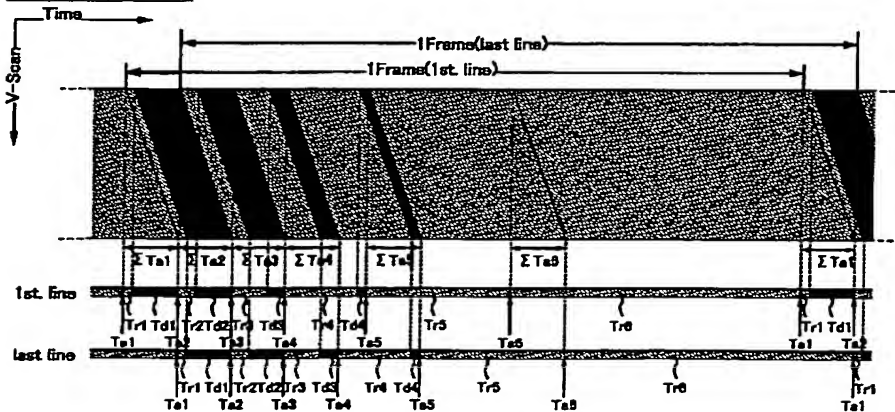




[Drawing 18]

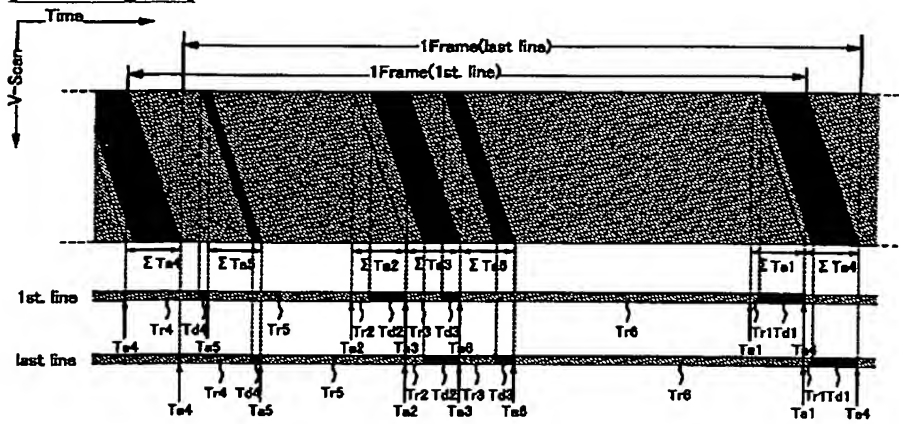


[Drawing 13]

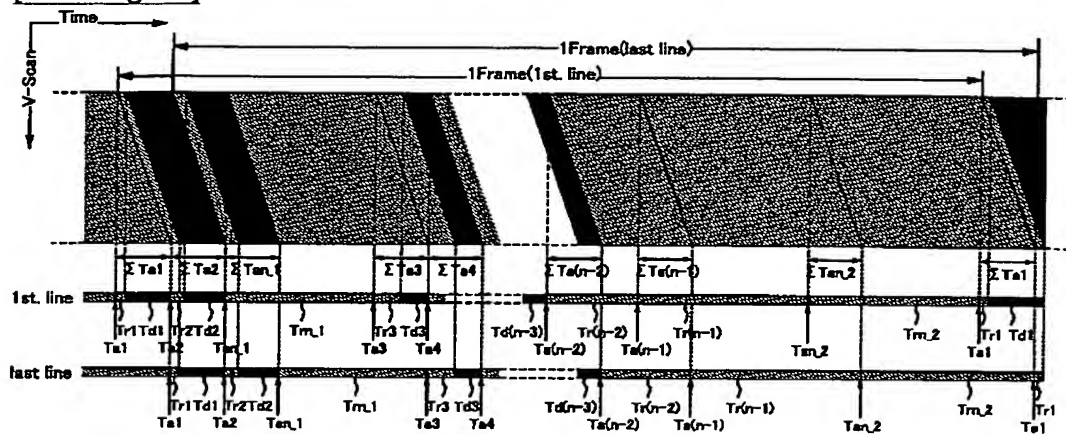




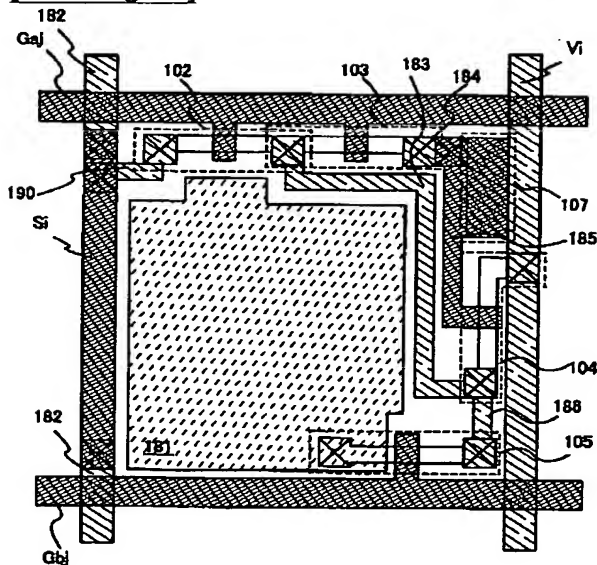
[Drawing 14]



[Drawing 15]

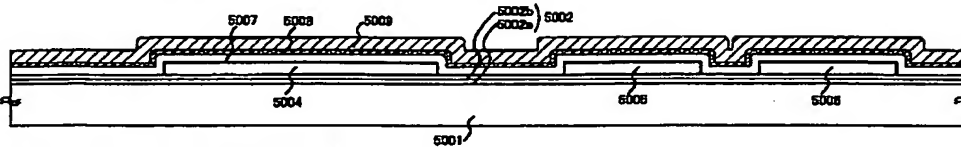


[Drawing 20]

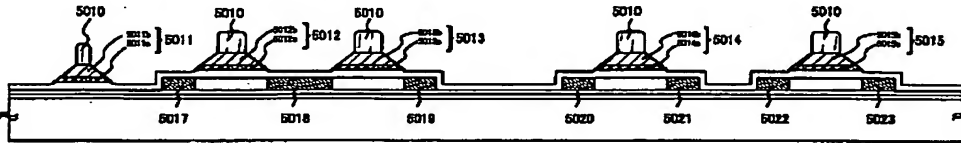


[Drawing 21]

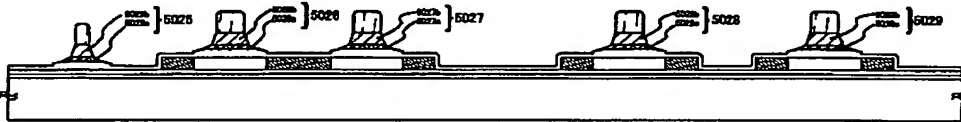
## (A) 島状半導体層、ゲート絶縁膜、ゲート電極用第1・第2の導電膜の形成



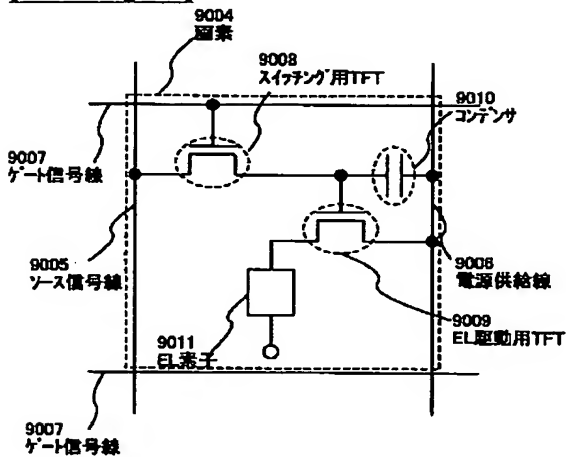
## (B) 第1のエッチング処理, 第1のドーピング処理



## (C) 第2のエッチング処理



## [Drawing 25]

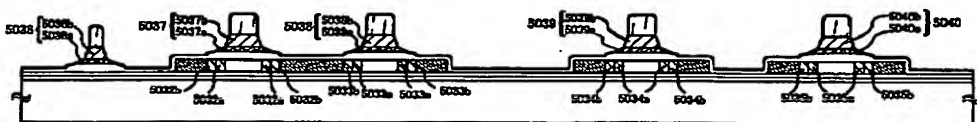


## [Drawing 22]

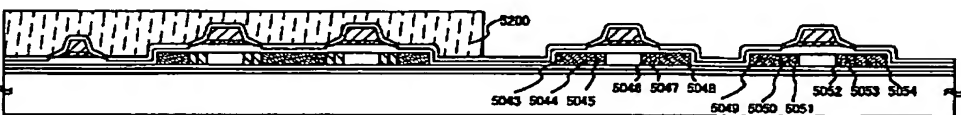
## (A) 第2のドーピング処理



## (B) 第3のエッチング処理

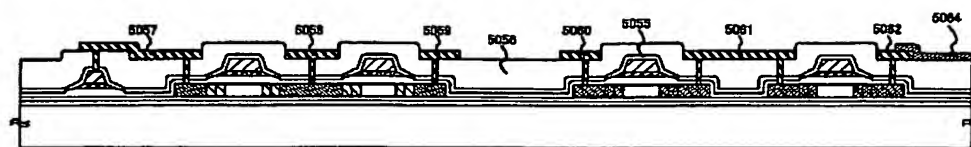


## (C) 第3のドーピング処理

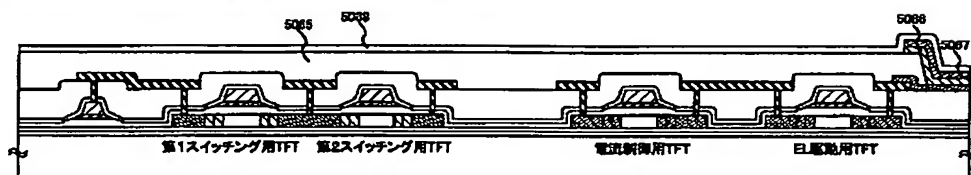


## [Drawing 23]

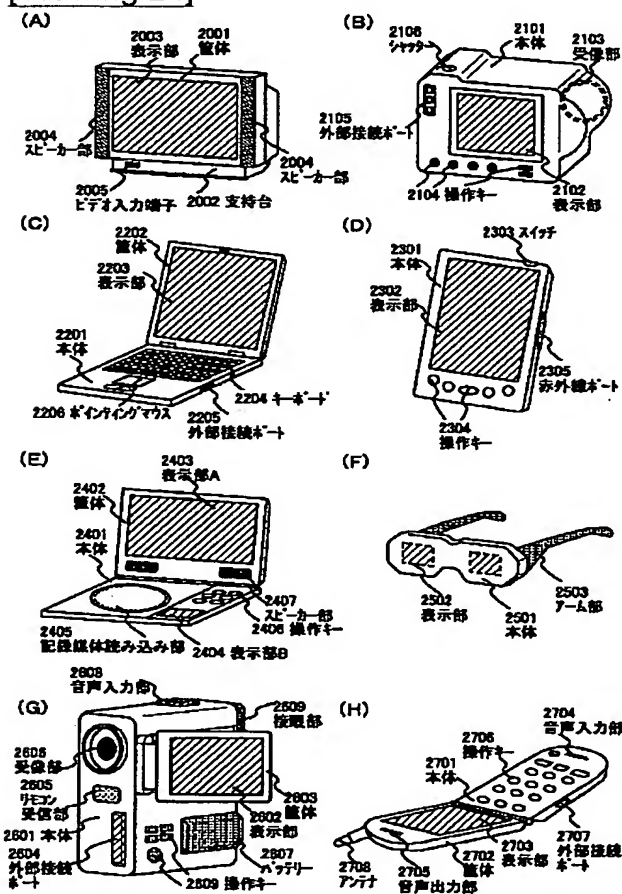
(A) 第1, 第2の層間絶縁膜, 配線, 図素電極形成



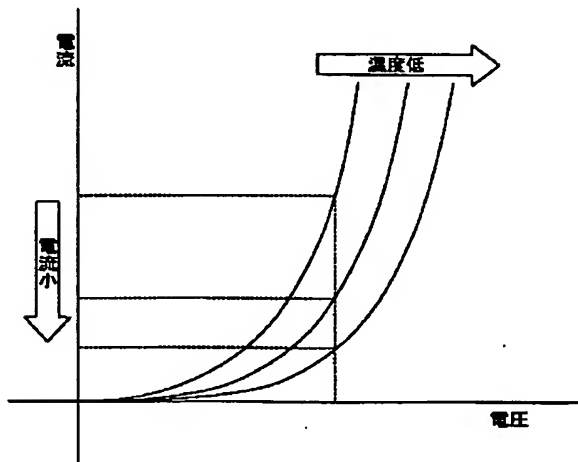
(B) 第3の層間絶縁膜, EL層, 陰極電極, パッシベーション膜形成



[Drawing 24]

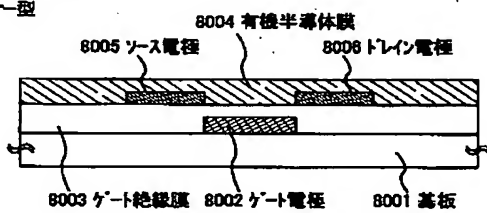


[Drawing 26]

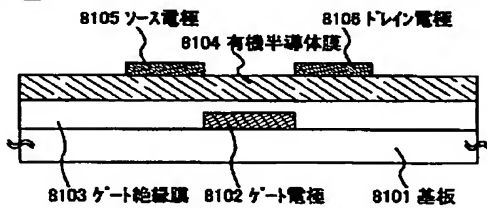


[Drawing 27]

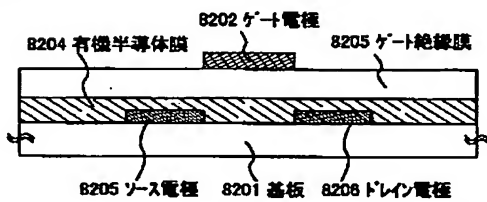
(A)プレーナ型



(B)逆スタガー型



(C)スタガー型



[Translation done.]

\* NOTICES \*

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**CORRECTION OR AMENDMENT**

---

[Kind of official gazette]Printing of amendment by the regulation of 2 of Article 17 of Patent Law

[Section classification] The 2nd classification of the part VI gate

[Publication date]April 28 (2005.4.28), Heisei 17

[Publication No.]JP,2002-221936,A (P2002-221936A)

[Date of Publication]August 9, Heisei 14 (2002.8.9)

[Application number]Application for patent 2001-316145 (P2001-316145)

[The 7th edition of International Patent Classification]

G09G 3/30

G09F 9/30

G09G 3/20

H01L 21/8238

H01L 27/08

H01L 27/092

H01L 29/786

H05B 33/08

H05B 33/14

[FI]

G09G 3/30 J

G09G 3/30 K

G09F 9/30 338

G09F 9/30 365 Z

G09G 3/20 624 B

G09G 3/20 641 D

G09G 3/20 641 E

G09G 3/20 670 L

H01L 27/08 331 E

H05B 33/08

H05B 33/14 A

H01L 29/78 614

H01L 27/08 321 E

H01L 27/08 321 L

[A written amendment]

[Filing date] June 18, Heisei 16 (2004.6.18)

[The amendment 1]

[Document to be Amended] Specification

[Item(s) to be Amended] Claim

[Method of Amendment] Change

[The contents of amendment]

[Claim(s)]

[Claim 1]

It is a luminescent device which carries out two or more owners of the pixel in which the 1st TFT, the 2nd TFT, the 3rd TFT, the 4th TFT, an EL element, a source signal line, and a power supply line were formed,

As for said 3rd TFT and said 4th TFT, gate electrode of each other is connected,

One side is connected to said source signal line, and another side is connected to a drain area of said 1st TFT for the source region and a drain area of said 3rd TFT,

One side is connected to a drain area of said 1st TFT, and another side is connected to a gate electrode of said 1st TFT for the source region and a drain area of said 4th TFT,

The source region of said 1st TFT is connected to said power supply line,

A luminescent device which is characterized by connecting another side to either of the two electrodes which said EL element has in a drain area of said 1st TFT as for one side in the 2nd source region and drain area of said TFT.

[Claim 2]

It is a luminescent device which carries out two or more owners of the pixel in which the 1st TFT, the 2nd TFT, the 3rd TFT, the 4th TFT, an EL element, a source signal line, the 1st gate signal line, the 2nd gate signal line, and a power supply line were formed,

As for both said 3rd TFT and said 4th TFT, a gate electrode is connected to said 1st gate signal line,

One side is connected to said source signal line, and another side is connected to a drain area of said 1st TFT for the source region and a drain area of said 3rd TFT,  
 One side is connected to a drain area of said 1st TFT, and another side is connected to a gate electrode of said 1st TFT for the source region and a drain area of said 4th TFT,  
 The source region of said 1st TFT is connected to said power supply line,  
 The source region and a drain area of said 2nd TFT are connected to either of the two electrodes in which, as for one side, said EL element has another side in a drain area of said 1st TFT,

A luminescent device, wherein a gate electrode of said 2nd TFT is connected to said 2nd gate signal line.

[Claim 3]

It is a luminescent device which has a picture element part, a source signal line driving circuit, a gate signal line drive circuit for writing, and a gate signal line drive circuit for a display,

Said picture element part is carrying out two or more owners of the pixel in which the 1st TFT, the 2nd TFT, the 3rd TFT, the 4th TFT, an EL element, a source signal line, the 1st gate signal line, the 2nd gate signal line, and a power supply line were formed,

As for both said 3rd TFT and said 4th TFT, a gate electrode is connected to said 1st gate signal line,

One side is connected to said source signal line, and another side is connected to a drain area of said 1st TFT for the source region and a drain area of said 3rd TFT,

One side is connected to a drain area of said 1st TFT, and another side is connected to a gate electrode of said 1st TFT for the source region and a drain area of said 4th TFT,

The source region of said 1st TFT is connected to said power supply line,

The source region and a drain area of said 2nd TFT are connected to either of the two electrodes in which, as for one side, said EL element has another side in a drain area of said 1st TFT,

A gate electrode of said 2nd TFT is connected to said 2nd gate signal line,

A value of current which flows into said source signal line is defined by source signal line driving circuit,

Said 1st gate signal line is chosen by said gate signal line drive circuit for writing,

A luminescent device, wherein said 2nd gate signal line is chosen by said gate signal line drive circuit for a display.

[Claim 4]

A luminescent device characterized by the polarity of said 3rd TFT and said 4th TFT being the same in any 1 paragraph of claim 1 thru/or claim 3.

[Claim 5]

An EL display using a luminescent device of a statement for any 1 paragraph of claim 1 thru/or claim 4.

[Claim 6]

A digital still camera using a luminescent device of a statement for any 1 paragraph of claim 1 thru/or claim 4.

[Claim 7]

A note type personal computer using a luminescent device of a statement for any 1 paragraph of claim 1 thru/or claim 4.

[Claim 8]

A mobile computer using a luminescent device of a statement for any 1 paragraph of claim 1 thru/or claim 4.

[Claim 9]

Picture reproducer using a luminescent device of a statement for any 1 paragraph of claim 1 thru/or claim 4.

[Claim 10]

A goggles type display using a luminescent device of a statement for any 1 paragraph of claim 1 thru/or claim 4.

[Claim 11]

A video camera using a luminescent device of a statement for any 1 paragraph of claim 1 thru/or claim 4.

[Claim 12]

A cellular phone using a luminescent device of a statement for any 1 paragraph of claim 1 thru/or claim 4.

[The amendment 2]

[Document to be Amended]DRAWINGS

[Item(s) to be Amended]Drawing 4

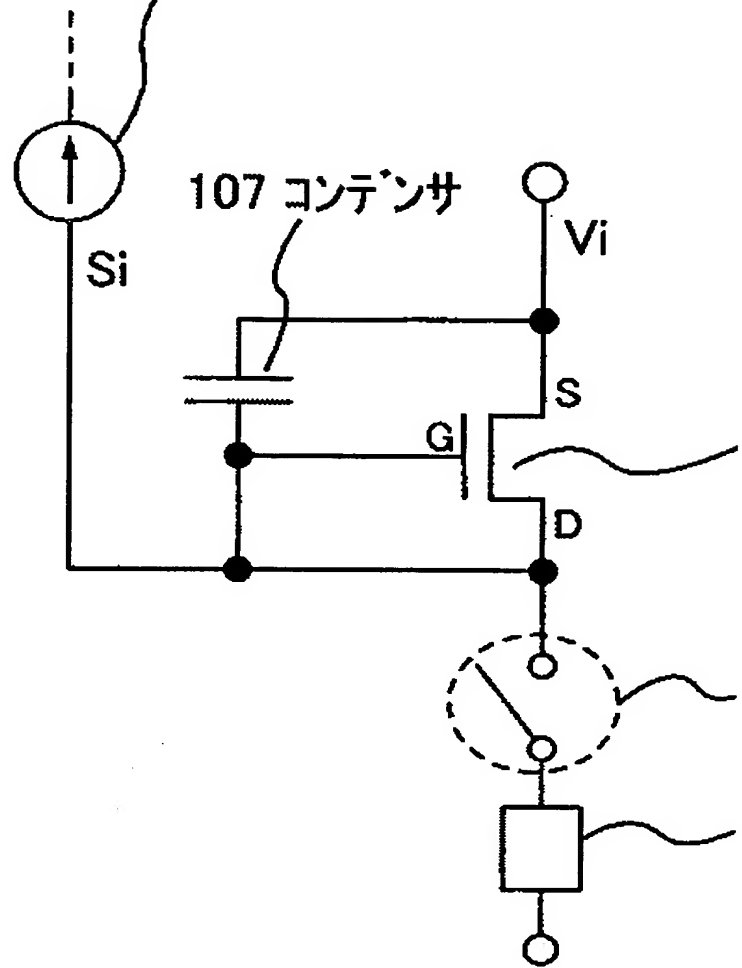
[Method of Amendment]Change

[The contents of amendment]

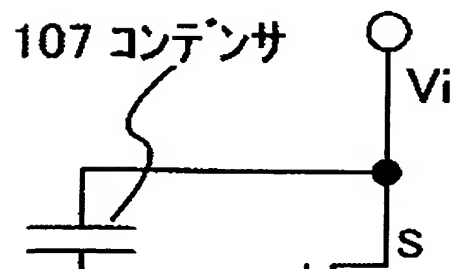
[Drawing 4]



(A) 書き込み期間  $T_a$  120 定電流源



(B) 表示期間  $T_d$



[Amendment 3]

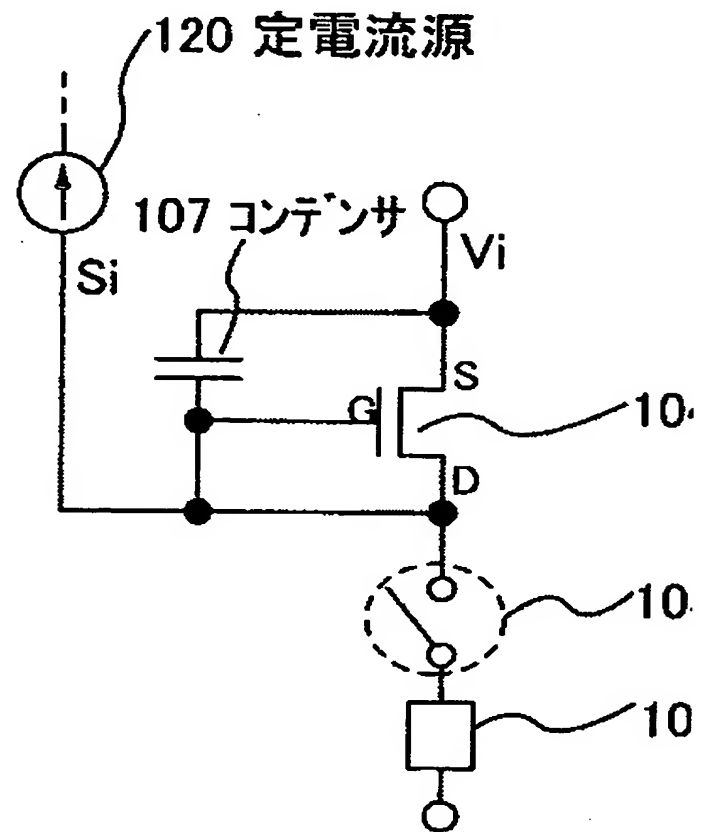
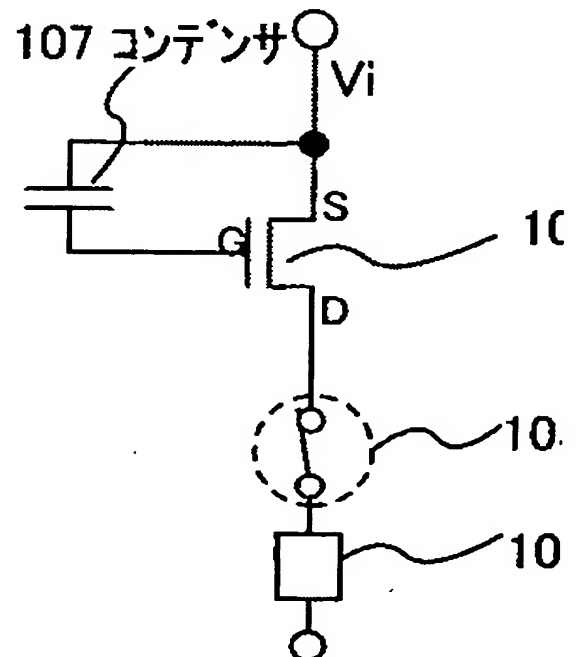
[Document to be Amended]DRAWINGS

[Item(s) to be Amended]Drawing 8

[Method of Amendment]Change

[The contents of amendment]

[Drawing 8]

(A) 書き込み期間  $T_a$  (Ga選択、Gb非選択)(B) 表示期間  $T_r$  (Ga非選択、Gb選択)

---

[Translation done.]